

501P019

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1011 U.S. PTO
09/779139



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 2月10日

出 願 番 号

Application Number:

特願2000-033313

願 人

Applicant(s):

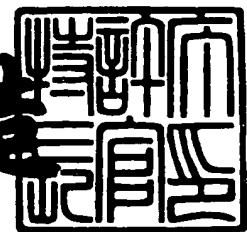
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及川耕造



出願番号 出願特2000-3109379

【書類名】 特許願

【整理番号】 9801107003

【提出日】 平成12年 2月10日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/24

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 近藤 哲二郎

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 中屋 秀雄

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 渡辺 勉

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 大塚 秀樹

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 高橋 康昭

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 和田 成司

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 永野 隆浩

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 太田 浩二

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 白木 寿一

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082131

【弁理士】

【氏名又は名称】 稲本 義雄

【電話番号】 03-3369-6479

【手数料の表示】

【予納台帳番号】 032089

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置および方法、並びに記録媒体

【特許請求の範囲】

【請求項 1】 欠落したデータを創造する情報処理装置において、

前記欠落したデータを含む第 1 のデータに関係する第 2 のデータを基に、クラスコードを生成するクラスコード生成手段と、

前記クラスコードを基に、前記第 1 のデータへの変換で使用される所定の数の第 3 のデータを指定するデータ指定手段と、

前記第 1 のデータへの変換で使用される変換情報をクラス毎に記憶する係数記憶手段と、

前記クラスコードによって指定された前記係数記憶手段が記憶している前記変換情報を基に、前記データ指定手段で指定された所定の数の第 3 のデータを、前記欠落したデータを含む前記第 1 のデータに変換する変換手段と

を含むことを特徴とする情報処理装置。

【請求項 2】 欠落したデータを創造する情報処理装置の情報処理方法において、

前記欠落したデータを含む第 1 のデータに関係する第 2 のデータを基に、クラスコードを生成するクラスコード生成ステップと、

前記クラスコードを基に、前記第 1 のデータへの変換で使用される所定の数の第 3 のデータを指定するデータ指定ステップと、

前記第 1 のデータへの変換で使用される変換情報をクラス毎に記憶する係数記憶ステップと、

前記クラスコードによって指定された前記係数記憶ステップの処理で記憶している前記変換情報を基に、前記データ指定ステップの処理で指定された所定の数の第 3 のデータを、前記欠落したデータを含む前記第 1 のデータに変換する変換ステップと

を含むことを特徴とする情報処理方法。

【請求項 3】 欠落したデータを含む第 1 のデータの創造で使用される変換情報をクラス毎に記憶して、前記第 1 のデータを創造する情報処理用のプログラ

ムであって、

前記欠落したデータを含む前記第 1 のデータに関係する第 2 のデータを基に、
クラスコードを生成するクラスコード生成ステップと、

前記クラスコードを基に、前記第 1 のデータへの変換で使用する所定の数の
第 3 のデータを指定するデータ指定ステップと、

前記クラスコードによって指定された記憶している前記変換情報を基に、前記
データ指定ステップの処理で指定された所定の数の第 3 のデータを、前記欠落し
たデータを含む前記第 1 のデータに変換する変換ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録され
ている記録媒体。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、情報処理装置および方法、並びに記録媒体に関し、特に、データを
創造する情報処理装置および方法、並びに記録媒体に関する。

【 0 0 0 2 】

【従来の技術】

データ伝送における圧縮方式の多くには、圧縮比を向上させるため、エントロ
ピー符号化に代表される可変長符号化が用いられている。このエントロピー符号
化の特徴は、圧縮の対象となるデータの内容に応じて符号語の長さを変えること
で圧縮を実現することである。例えば、発生頻度の高いデータには、短い符号語
が割り当てられ、発生頻度の低いデータには長い符号語が割り当てられる。その
結果、伝送するデータ全体の情報量が削減される。

【 0 0 0 3 】

通信エラーにより受信側で誤ったデータが受信された場合、データの内容に応
じて、符号語の長さが常に変化するため、復号の誤りは、伝送されるデータの基
準となるポイントまで続くことになり、この現象は、一般に「エラー伝搬」と称
される。

【 0 0 0 4 】

また、MPEG(Moving Picture Experts Group)に代表される動画像の圧縮方式は、離散コサイン変換により、空間的冗長度を減らすと共に、フレーム間の差分のみを伝送するなどして、時間的冗長度を減らすことにより、データ量を削減する。

【 0 0 0 5 】

このような圧縮方式により圧縮された動画像のデータは、受信側で伸張されるが、通信エラー等により伝送した動画像のデータが欠落した場合、そのデータの欠落は、空間的および時間的に伸張され、圧縮比が高いほどその影響が顕著に現れる。

【 0 0 0 6 】

モバイル環境の、通信路の条件は、固定局または有線と比較して劣悪で、「パケットロス」と称されるバースト状のデータの欠落が比較的頻繁に発生する。そこで、このようなモバイル環境での、圧縮を利用する動画像の通信では、圧縮と、強力な誤り訂正符号とを組み合わせ、通信路におけるデータの欠落が防止される。

【 0 0 0 7 】

誤り訂正符号によって訂正できずに欠落した画素は、その周辺の画素との相関を解析し、相関の強い方向の画素を使用して線形補間される、若しくは単純に相関の強い方向の画素と置換される。または、欠落した画素は、周辺画素の動き量若しくは動きベクトルを検出し、動き要素の相関が強い方向の画素を使用して線形補間される。あるいは、欠落した画素は、メディアンフィルタを使用してコンシールされる。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、このように、線形補間された、または置き換えされた画素は、解像度が低下し、周辺画素との連続性が失われるため、再生された画像には、違和感が残った。メディアンフィルタを使用した場合も、同様に違和感が残る。

【 0 0 0 9 】

本発明はこのような状況に鑑みてなされたものであり、欠落したデータなどを

創造し、再生されたデータの違和感を無くすることを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

請求項 1 に記載の情報処理装置は、欠落したデータを含む第 1 のデータに関する第 2 のデータを基に、クラスコードを生成するクラスコード生成手段と、クラスコードを基に、第 1 のデータへの変換で使用される所定の数の第 3 のデータを指定するデータ指定手段と、第 1 のデータへの変換で使用される変換情報をクラス毎に記憶する係数記憶手段と、クラスコードによって指定された係数記憶手段が記憶している変換情報を基に、データ指定手段で指定された所定の数の第 3 のデータを、欠落したデータを含む第 1 のデータに変換する変換手段とを含むことを特徴とする。

【 0 0 1 1 】

請求項 2 に記載の情報処理方法は、欠落したデータを含む第 1 のデータに関する第 2 のデータを基に、クラスコードを生成するクラスコード生成ステップと、クラスコードを基に、第 1 のデータへの変換で使用される所定の数の第 3 のデータを指定するデータ指定ステップと、第 1 のデータへの変換で使用される変換情報をクラス毎に記憶する係数記憶ステップと、クラスコードによって指定された係数記憶ステップの処理で記憶している変換情報を基に、データ指定ステップの処理で指定された所定の数の第 3 のデータを、欠落したデータを含む第 1 のデータに変換する変換ステップとを含むことを特徴とする。

【 0 0 1 2 】

請求項 3 に記載の記録媒体のプログラムは、欠落したデータを含む第 1 のデータに関する第 2 のデータを基に、クラスコードを生成するクラスコード生成ステップと、クラスコードを基に、第 1 のデータへの変換で使用される所定の数の第 3 のデータを指定するデータ指定ステップと、クラスコードによって指定された記憶している変換情報を基に、データ指定ステップの処理で指定された所定の数の第 3 のデータを、欠落したデータを含む第 1 のデータに変換する変換ステップとを含むことを特徴とする。

【 0 0 1 3 】

請求項 1 に記載の情報処理装置、請求項 2 に記載の情報処理方法、および請求項 3 に記載の記録媒体においては、欠落したデータを含む第 1 のデータに関する第 2 のデータを基に、クラスコードが生成され、クラスコードを基に、第 1 のデータへの変換で使用する所定の数の第 3 のデータが指定され、クラスコードによって指定された記憶している変換情報を基に、データ指定ステップの処理で指定された所定の数の第 3 のデータが、欠落したデータを含む第 1 のデータに変換される。

【 0 0 1 4 】

【発明の実施の形態】

図 1 は、本発明に係る画像を送受信する画像伝送システムを説明する図である。送信装置 1 は、入力されたビデオ信号を、本発明に係る方式で圧縮し、符号化し、パケットの形式に変換し、伝送路を介して、受信装置 2 に送信する。受信装置 2 は、伝送路を介して送信されたパケットを受信し、パケットに含まれるデータを本発明に係る方式で復号して、伸張し、ビデオ信号として出力する。伝送路において、パケットに含まれるデータは、輻輳などにより、欠落することがある。また、伝送路を構成する A T M 交換機（図示せず）の処理能力を超えたような場合、パケットそのものが、失われることがある。

【 0 0 1 5 】

図 2 は、本発明に係る送信装置 1 の一実施の形態の構成を示すブロック図である。Y/C 分離クロマデコーダ 1 1 は、アナログコンポジットビデオ信号、または輝度信号 Y とクロマ信号 C のようなアナログコンポーネント信号（Y/C 信号）のいずれか 1 つの信号が入力されると、その信号を、輝度信号 Y、色信号 U、V のようなコンポーネント信号（Y/U/V 信号）に変換し、セレクタ 1 2 に供給する。セレクタ 1 2 は、Y/C 分離クロマデコーダ 1 1 から供給された Y/U/V 信号、または初めから Y/U/V 信号のフォーマットで入力された信号の一方を選択し、間引き部 1 3 に供給する。この Y/U/V 信号は、例えば、スタンダードデンシティ（SD）、4 : 2 : 2、フィールド周波数 6 0 H z、およびインターレースフォーマット形式の信号である。

【 0 0 1 6 】

間引き部 1 3 は、セレクタ 1 2 から供給された Y 信号、U 信号、および V 信号を、それぞれ後述する方式で間引きして、フォーマット変換回路 1 4 に供給する。間引き部 1 3 は、前置フィルタ 4 1、A/D 変換回路 4 2、間引きフィルタ 4 3、外部メモリ 4 4、UV 垂直 1/2 回路 4 5、および外部メモリ 4 6 で構成される。

【 0 0 1 7 】

前置フィルタ 4 1 は、入力された Y 信号、U 信号、および V 信号の、それぞれ所定の周波数帯域のみを出力するローパスフィルタである。前置フィルタ 4 1 の出力は、A/D 変換回路 4 2 に供給される。

【 0 0 1 8 】

A/D 変換回路 4 2 は、入力された Y 信号、U 信号、および V 信号をサンプリングし、それぞれを、例えば、8 ビットのデータとする。A/D 変換回路 4 2 に入力されたアナログ Y 信号は、サンプリングされることにより、水平方向に 5 2 8 画素および垂直方向に 4 8 0 画素を含む Y データとして、間引きフィルタ 4 3 に出力される。

【 0 0 1 9 】

A/D 変換回路 4 2 に入力されたアナログ U 信号は、サンプリングされることにより、水平方向に 1 7 6 画素および垂直方向に 4 8 0 画素を含む U データとして間引きフィルタ 4 3 に出力される。A/D 変換回路 4 2 に入力されたアナログ V 信号は、サンプリングされることにより、水平方向に 1 7 6 画素および垂直方向に 4 8 0 画素を含む V データとして間引きフィルタ 4 3 に出力される。

【 0 0 2 0 】

従って、A/D 変換回路 4 2 の出力は、3 : 1 : 1 のフォーマットの信号となっている。

【 0 0 2 1 】

間引きフィルタ 4 3 は、入力された Y データ、U データ、および V データを一時的に外部メモリ 4 4 に記憶させ、一時的に記憶させた Y データ、U データ、および V データを、それぞれ水平方向に 1/2 および垂直方向に 1/2 に間引きし、UV 垂直 1/2 回路 4 5 に供給する。

【 0 0 2 2 】

UV垂直1/2回路45は、間引きフィルタ43から供給されたYデータ、Uデータ、およびVデータを一時的に外部メモリ46に記憶させ、一時的に記憶させたUデータおよびVデータを、それぞれ垂直方向に1/2に間引きし、Yデータ、Uデータ、およびVデータをフォーマット変換回路14に出力する。

【 0 0 2 3 】

従って、間引き部13より出力される信号は、3:0.5:0.5の信号となる。

【 0 0 2 4 】

フォーマット変換回路14は、間引き部13から供給されたYデータ、Uデータ、およびVデータを、後述する方式で並び替えて、ブロック構造として、符号化回路15に供給する。

【 0 0 2 5 】

符号化回路15は、フォーマット変換回路14から供給されたYデータ、Uデータ、およびVデータを一時的に外部メモリ16に記憶させ、外部メモリ16に記憶されたYデータ、Uデータ、およびVデータを、記憶と読み出しのアドレスを変えることでシャフリングして、ADRC (Adaptive Dynamic Range Coding) 方式で符号化し、シャフリングして、パケット化回路17に出力する。

【 0 0 2 6 】

ADRC方式は、入力された画像のデータのダイナミックレンジ(DR)に適応した可変長の符号を出力する可変長符号化方式である。画像のデータは、複数の画素からなるブロック(後述するADRCブロック)に分割され、各ブロックに含まれる画素値の最大値および最小値の差であるダイナミックレンジが検出される。ブロックのダイナミックレンジを基に、各画素値を元の量子化ビット数(例えば、8ビット)よりも少ないビット数で、再量子化する。ダイナミックレンジが小さいほど、少ないビット数で再量子化することができ、量子化ひずみの増大を抑えつつ、画素の画素値の冗長度のみを除去して、更にデータ量を少なくすることが可能である。

【 0 0 2 7 】

A D R C方式は、ダイナミックレンジの大きさに関連して量子化ビット数を選択するものである。ダイナミックレンジの大小関係を判断するために、動きなどに対応した閾値が使用される。再量子化のためのビット数として、例えば、2ビット、3ビット、または4ビットのいずれか1つを割り当てるとき、動きまたはダイナミックレンジ毎の量子化テーブルに記憶された閾値T 1およびT 2（但し、 $T 1 < T 2$ ）が使用される。受信側でも、同じ量子化テーブルが使用される。

【 0 0 2 8 】

ダイナミックレンジが（T 1 - 1）以下であるブロックでは、画素値に対するコードに、2ビットが割り当てられる。ダイナミックレンジがT 1以上で（T 2 - 1）以下であるブロックでは、画素値に対するコードに、3ビットが割り当てられる。ダイナミックレンジがT 2以上であるブロックでは、画素値に対するコードに、4ビットが割り当てられる。画素値に対するコードに割り当てられたビット数をqとする。

【 0 0 2 9 】

符号化は、2フレームを30分割して作成される、88個のA D R Cブロックを単位（この単位をバッファと称する）として実行される。1つのバッファに対して生成されるコードが、ここでは、16,104ビット以下になるように、閾値T 1およびT 2を記憶した量子化テーブルは、1つのバッファに対して1つ選択される。選択された量子化テーブルは、T Iで示されるテーブルインデックスで指定される。1つのバッファに対して生成されるコードが、16,104ビット以下になるようにすることで、符号化された画像のデータの情報を、8Mbpsとすることができ

【 0 0 3 0 】

ダイナミックレンジが2のq乗より大きいとき、画素値に対するコードQは、

$$[(L - MIN + 0.5) \times 2^q / DR]$$

で算出される。[]は、小数点以下の切り捨てを表す。Lは、画素値を表し、M I Nは、ブロック内の画素の画素値の最小値を表す。D Rは、ブロックのダイナミックレンジを表す。ダイナミックレンジが2のq乗以下のとき、画素値に対するコードQは、L - M I Nで算出される。

【 0 0 3 1 】

符号化回路 1 5 は、符号化されたデータとして、量子化テーブルを指定するテーブルインデックス T I、ダイナミックレンジ D R、ブロック内の画素の画素値の最小値 M I N、動きを示す動きフラグ M F、および画素値に対応するコード Q を出力する。テーブルインデックス T I、ダイナミックレンジ D R、ブロック内の画素の画素値の最小値 M I N、および動きを示す動きフラグ M F の長さ（ビット数）は、8 ビットで固定である。一方、画素値に対するコード Q の長さは、変化する。

【 0 0 3 2 】

パケット化回路 1 7 は、符号化回路 1 5 から供給された、符号化データを、一時的に外部メモリ 1 8 に記憶させ、一時的に記憶された符号化データを、1. 6 K ビット毎に分割し、ヘッダ等を付加してパケット化し、送信回路 1 9 に供給する。送信回路 1 9 は、パケット化回路 1 7 から供給されたパケットを所定の伝送方式で変調して、伝送路を介して送信する。

【 0 0 3 3 】

P L L 回路 2 0 は、画像に同期した基準信号を生成し、コントロール回路 2 1 に基準信号を供給する。コントロール回路 2 1 は、間引き部 1 3、フォーマット変換回路 1 4、符号化回路 1 5、外部メモリ 1 6、パケット化回路 1 7、外部メモリ 1 8、および送信回路 1 9 に、P L L 回路 2 0 から供給された基準信号に基づく、コントロール信号を供給し、送信装置 1 全体の動作を制御する。

【 0 0 3 4 】

図 3 を参照して、送信装置 1 に入力された画像信号が圧縮される過程を説明する。6 0 H z のフィールド周波数を有する、インターレース方式の Y 信号は、A / D 変換回路 4 2 により、1 フィールド当たり水平方向に 5 2 8 画素および垂直方向に 4 8 0 画素の Y データに変換される。6 0 H z のフィールド周波数を有する、インターレース方式の U 信号および V 信号は、水平方向に 1 7 6 画素および垂直方向に 4 8 0 画素の U データおよび V データにそれぞれ変換される。A / D 変換回路 4 2 に入力される画像の信号の情報は 166 Mbps に相当し、A / D 変換回路 4 2 から出力される画像のデータの情報は 104 Mbps となり、6 2 % の情報量に

圧縮される。

【 0 0 3 5 】

6 0 H z のフィールド周波数を有する、インターレース方式の 1 フレーム当たり水平方向に 5 2 8 画素および垂直方向に 4 8 0 画素を含む Y データは、間引きフィルタ 4 3 により、3 0 H z のフレーム周波数を有する、プログレッシブ方式の 1 フレーム当たり水平方向に 2 6 4 画素および垂直方向に 2 4 0 画素を含むデータに圧縮される。6 0 H z のフィールド周波数を有する、インターレース方式の 1 フレーム当たり水平方向に 1 7 6 画素および垂直方向に 4 8 0 画素を含む U データおよび V データは、間引きフィルタ 4 3 により、3 0 H z のフレーム周波数を有する、プログレッシブ方式の 1 フレーム当たり水平方向に 8 8 画素および垂直方向に 2 4 0 画素を含むデータにそれぞれ圧縮される。

【 0 0 3 6 】

1 フレーム当たり水平方向に 8 8 画素および垂直方向に 2 4 0 画素を含む U データおよび V データは、U V 垂直 1 / 2 回路 4 5 により、水平方向に 8 8 画素および垂直方向に 1 2 0 画素を含むデータにそれぞれ圧縮される。U V 垂直 1 / 2 回路 4 5 から出力される画像のデータの情報は、21Mbps となり、送信装置 1 に入力される信号の情報と比較し、1 3 % の情報量に圧縮される。

【 0 0 3 7 】

このように、間引き部 1 3 で間引き処理を行うことで、後段の各回路の構成を簡略化し、伝送路におけるビットレートを、実用的な充分小さい値に設定することができる。

【 0 0 3 8 】

3 0 H z のフレーム周波数を有する、プログレッシブ方式の 1 フレーム当たりそれぞれ水平方向に 8 8 画素および垂直方向に 1 2 0 画素を含む U データおよび V データは、フォーマット変換回路 1 4 により、8 8 画素 × 1 2 0 画素のデータを 2 つ合わせたデータに変換される。

【 0 0 3 9 】

1 フレーム当たり水平方向に 2 6 4 画素および垂直方向に 2 4 0 画素を有する Y データ並びに 8 8 画素 × 1 2 0 画素 × 2 の U データおよび V データが符号化回

路 1 5 により符号化される。符号化された画像のデータの情報は、8Mbpsとなり、送信装置 1 に入力されるアナログ信号の情報と比較し、5 % の情報量に圧縮される。

【 0 0 4 0 】

以上のように、送信装置 1 は、画像信号を圧縮して符号化する。

【 0 0 4 1 】

図 4 は、間引きフィルタ 4 3 の構成を示すブロック図である。インターレース方式の Y データは、水平方向のラインに沿って、水平 1 / 2 回路 6 1 に供給される。水平 1 / 2 回路 6 1 は、遅延回路（レジスタ）7 1 - 1 乃至 7 1 - N、乗算回路 7 2 - 1 乃至 7 2 - N、および加算回路 7 3 で構成されている。

【 0 0 4 2 】

ハーフバンドフィルタである水平 1 / 2 回路 6 1 に順次入力された Y データは、遅延回路 7 1 - 1 乃至 7 1 - N により、それぞれ水平方向の 1 画素分だけ遅延され、順次後段に出力される。乗算回路 7 2 - 1 乃至 7 2 - N は、入力された Y データ（画素）に 1 / N を乗じて、加算回路 7 3 に出力する。加算回路 7 3 は、乗算回路 7 2 - 1 乃至 7 2 - N から供給されたデータを加算し、垂直 1 / 2 回路 6 2 に出力する。

【 0 0 4 3 】

ハーフバンドフィルタである垂直 1 / 2 回路 6 2 は、ラッチ回路 8 1、フィールド F I F O (Fast In Fast Out) 8 2、加算回路 8 3、およびラッチ回路 8 4 から構成されている。水平 1 / 2 回路 6 1 から出力されたデータは、ラッチ回路 8 1 に供給される。ラッチ回路 8 1 は、クロック信号が入力されたとき、入力されたデータをラッチし、ラッチしたデータを出力する。

【 0 0 4 4 】

水平 1 / 2 回路 6 1 の動作を図 5 を参照して説明する。フレームの水平方向に順次入力された、Y データ（図 5 に白い丸印で示す画素）は、遅延回路 7 1 - 1 乃至 7 1 - N により保持され、乗算回路 7 2 - 1 乃至 7 2 - N によりそれぞれ係数が乗算される。乗算回路 7 2 - 1 乃至 7 2 - N の出力は、加算回路 7 3 で加算された後、ラッチ回路 8 1 に出力される。ラッチ回路 8 1 には、図 5 の黒い 4 角

形に対応するタイミングで、ラッチを指示するクロック信号が入力される。図5の例では、水平方向に、2画素のデータが転送される度に1つのクロックがラッチ回路81に入力されるので、例えば、 $N=2$ で、各係数の値が $1/2$ の場合、隣接する2個の画素の平均値が、図5の黒い4角形で示すタイミングでラッチ回路81にラッチされる。このように、ラッチ回路81がラッチする画素の数は、間引きフィルタ43に入力されたデータの画素の数の $1/2$ となる。

【0045】

ラッチ回路81によりラッチされた値は、フィールドFIFO82および加算回路83に供給される。フィールドFIFO82は、ラッチ回路81から供給された水平方向に $1/2$ に間引かれた第1フィールドの画素のデータを記憶して、1フィールド分遅延させ、加算回路83に出力する。加算回路83は、ラッチ回路81およびフィールドFIFO82から供給されたデータを加算して、ラッチ回路84に供給する。ラッチ回路84は、イネーブル信号が入力されたとき、入力されたデータをラッチする。

【0046】

垂直 $1/2$ 回路62の動作を図6を参照して説明する。第1フィールドの任意の画素（図6に示す第1フィールド上の黒い4角形の画素）のYデータ、および第1フィールドの画素と画面の水平方向に同一の位置で、1つ下のラインの第2フィールドの画素（図6に示す、第1フィールド上の黒い4角形の画素の右下に位置する第2フィールド上の黒い4角形の画素）のデータが、加算回路83により加算された後、ラッチ回路84に出力される。従って、ラッチ回路84には、第1フィールドと第2フィールドの画素の平均値（図6に白い4角形で示す画素に相当する）がラッチされる。

【0047】

このように、ラッチ回路84の出力は、ラッチ回路81から出力された画素のデータに対して、第1フィールドおよび第2フィールドの間で、 $1/2$ に間引きされ、次に、第3フィールドおよび第4フィールドの間で、 $1/2$ に間引きされ、30Hzのフレーム周波数を有する、プログレッシブ方式のYデータとなる。

【0048】

UデータおよびVデータも、同様に水平方向と垂直方向に1/2に間引きされ、30Hzのフレーム周波数を有する、プログレッシブ方式のフォーマットのデータとなる。

【0049】

以上のように、間引きフィルタ43から出力される画像のYデータ、Uデータ、およびVデータは、それぞれ間引きされた30Hzのフレーム周波数を有する、プログレッシブ方式のフォーマットのデータとなる。

【0050】

次に、UV垂直1/2回路45について説明する。図7は、UV垂直1/2回路45の構成を示すブロック図である。UV垂直1/2回路45には、間引きフィルタ43より、間引きされた30Hzのフレーム周波数を有する、プログレッシブ方式のUデータおよびVデータが入力される。入力されたデータは、ラインFIFO91-1乃至91-6により、1ライン分ずつ、順次遅延され、後段に供給される。乗算回路92-1は、入力されたデータに係数を乗じて、加算回路93に出力する。乗算回路92-2乃至92-7は、それぞれラインFIFO91-2乃至91-6より入力されたデータに、係数を乗算して加算回路93に出力する。

【0051】

加算回路93は、乗算回路92-1乃至92-7から供給されたデータを加算して、ラッチ回路94に供給する。ラッチ回路94は、クロック信号が入力されたとき、入力されたデータをラッチする。

【0052】

UV垂直1/2回路45の動作を図8を参照して説明する。連続する7本のライン上の、画面の水平方向に同一の位置の画素（図8に白い4角形で示す画素）のデータが乗算回路92-1乃至92-7に入力される。乗算回路92-1乃至92-7は、入力されたデータに、それぞれ係数を乗算する。加算回路93は乗算回路92-1乃至92-7の出力を加算して、出力する。ラッチ回路94には、2ラインに1回のタイミング（図8に黒い丸印で示すタイミング）で、ラッチ信号が入力される。このように、UV垂直1/2回路45は、入力されたUデー

タおよびVデータのラインの本数を1/2に間引いて、出力する。

【0053】

なお、UV垂直1/2回路45は、Yデータを通過させる。

【0054】

次に、符号化回路15について説明する。図9は、符号化回路15の構成を示すブロック図である。コントロール回路21から供給されるコントロール信号は、タイミング信号生成回路101に入力される。タイミング信号生成回路101は、入力されたコントロール信号を基に、タイミング信号を生成し、ブロックシャフル回路102、ADRC符号化回路103、およびセグメント間シャフル回路104に供給する。

【0055】

フォーマット変換回路14により、変換されたYデータ、Uデータ、およびVデータは、ブロックシャフル回路102に入力される。ブロックシャフル回路102は、供給されたYデータ、Uデータ、およびVデータを外部メモリ16の所定の位置に一時的に記憶させる。ブロックシャフル回路102は、外部メモリ16に記憶させたYデータ、Uデータ、およびVデータを、後述するADRCブロックの形式に並び換え、後述するセグメントの範囲で、かつADRCブロック単位でシャフルし、ADRC符号化回路103に供給する。

【0056】

ADRC符号化回路103は、ブロックシャフル回路102から供給されたYデータ、Uデータ、およびVデータを、ADRC方式に基づき符号化し、セグメント間シャフル回路104に供給する。セグメント間シャフル回路104は、供給されたADRCで符号化されたデータを外部メモリ22の所定の位置に、一時的に記憶させる。

【0057】

セグメント間シャフル回路104は、外部メモリ22に記憶させたADRCデータを、記憶と読み出しのアドレスを変えることで、シャフルする。セグメント間シャフル回路104におけるシャフルは、伝送路におけるデータの欠落が発生しても、受信装置2が、ダイナミックレンジDR、最小値MIN、および動きフ

ラグMFいずれかを受信できる可能性を高め、また、伝送路におけるデータの欠落が発生しても、受信装置2が、各コードQを分けて抽出しやすくすることを目的とする。

【0058】

図10を参照して、符号化回路15およびパケット化回路17の処理の単位を説明する。あるフレーム0と次のフレーム1から、後述する方式により、それぞれ画素を選択して、1320個の偶数セグメントのADRCブロック(4×16画素から成る)と1320個の奇数セグメントのADRCブロック(4×16画素から成る)が生成される。生成されたADRCブロックから、ブロックシャフル回路102により、88個ずつのADRCブロックが選択される。ADRCブロックは、選択された88個を単位として、ADRC符号化回路103により、ADRCで、固定長のデータ(FL)である、ダイナミックレンジDR、最小値MIN、動きフラグMF、およびテーブルインデックスTI並びに可変長のデータ(VL)であるコードQに符号化される。

【0059】

ADRC符号化回路103から出力された88個のADRCブロックに対応する符号化されたデータ(以下、バッファと称する)は、セグメント間シャフル回路104により、5個ずつにまとめられる(以下、セグメントと称する)。偶数セグメントに対応する3個のセグメント(図中、セグメント0、セグメント2、およびセグメント4と示す)は、セグメント間シャフル回路104により、セグメント間でシャフルされる。奇数セグメントに対応する3個のセグメント(図中、セグメント1、セグメント3、およびセグメント5と示す)は、セグメント間シャフル回路104により、セグメント間でシャフルされる。

【0060】

セグメント間でシャフルされたセグメントは、セグメント0、セグメント1、セグメント2、セグメント3、セグメント4、およびセグメント5の順に並べられる。

【0061】

パケット化回路17は、セグメント0、セグメント1、セグメント2、セグメ

ント3、セグメント4、およびセグメント5の順に並べられたセグメントに格納されている符号化されたデータを、8個のADRCブロックに対応するデータ（ダイナミックレンジDR、最小値MIN、動きフラグMF、テーブルインデックスTI、およびコードQ）毎にパケットに格納する。

【0062】

図11乃至図18を参照して、ブロックシャフル回路102の動作を説明する。図11は、ADRCブロックを説明する図である。各フレームから水平8画素×垂直8画素の隣り合う64画素のブロックを選び出し、ブロックの中で最も左で且つ最も上に位置する画素（図中に0-1または1-1と示された画素）、およびこれを基準とし、その画素から水平に2画素だけ移動した位置にある画素（図中に0-3または1-3と示された画素）、その画素から垂直に2画素だけ移動した位置にある画素（図中に0-17または1-17と示された画素）、またはその画素から水平に1画素かつ垂直に1画素だけ移動した位置にある画素（図中に0-10または1-10と示された画素）を偶数画素と称する。さらに、これらの画素を基準として、同様の選択を繰り返し、選択された画素を、偶数画素とする。

【0063】

また、各フレームの残りの画素は、奇数画素とする。

【0064】

図11に示すように、偶数フレーム（フレーム0）の8×8画素のブロックi2含まれる偶数画素（4×8画素）と、奇数フレーム（フレーム1）の8×8画素のブロックに含まれる偶数画素（4×8画素）を集めたものが、偶数セグメントのADRCブロックとされる。同時に、偶数フレーム（フレーム0）の8×8画素のブロックに含まれる奇数画素（4×8画素）と、奇数フレーム（フレーム1）の8×8画素のブロックに含まれる奇数画素（4×8画素）を集めたものが、奇数セグメントのADRCブロックとされる。ADRCブロックは、2つのフレームの、もとのフレーム上で1つおきの画素から構成される。偶数セグメントのADRCブロックの画素の、もとのフレーム上で隣に位置する画素は、対応する奇数セグメントのADRCブロックを構成する。

【 0 0 6 5 】

図 1 2 乃至図 1 4 は、フレーム内の画素と A D R C ブロックとの関係を示す図である。図 1 2 に示すように、フレーム 0 の画素は、水平 8 画素×垂直 8 画素の 6 4 画素のブロック毎に分割される。同様に、図 1 3 に示すように、フレーム 1（フレーム 0 の次のフレーム）の画素は、水平 8 画素×垂直 8 画素の 6 4 画素のブロック毎に分割される。フレーム 0 のブロックの中で最も左で且つ最も上に位置する 6 4 画素のブロック（図 1 2 において A 1 と表示された 6 4 画素のブロック）および、フレーム 1 のブロックの中で最も左で且つ最も上に位置する 6 4 画素のブロック（図 1 3 において A 1 と表示された 6 4 画素のブロック）の偶数画素により、構成された偶数セグメントの A D R C ブロックは、図 1 4 に示すように、セグメント 0 として、最も左、且つ最も上に配置される。

【 0 0 6 6 】

図 1 2 の A 1 と表示された 6 4 画素のブロック、および図 1 3 の A 1 と表示された 6 4 画素のブロックの奇数画素により構成された奇数セグメントの A D R C ブロックは、図 1 4 に示すように、セグメント 3 として、セグメント 0 の偶数セグメントの A D R C ブロックの図中右隣に配置される。

【 0 0 6 7 】

図 1 2 の A 2 と表示された 6 4 画素のブロック、および図 1 3 の A 2 と表示された 6 4 画素のブロックの偶数画素より構成された偶数セグメントの A D R C ブロックは、図 1 4 に示すようにセグメント 0 として、図 1 2 の A 1 と表示された 6 4 画素のブロックおよび図 1 3 の A 1 と表示された 6 4 画素のブロックの奇数画素により構成された、セグメント 3 の A D R C ブロックの図中右隣に配置される。図 1 2 の A 2 と表示された 6 4 画素のブロックおよび図 1 3 の A 2 と表示された 6 4 画素のブロックの奇数画素により構成された奇数セグメントの A D R C ブロックは、図 1 4 に示すように、セグメント 3 として、図 1 2 の A 2 と表示された 6 4 画素のブロックおよび図 1 3 の A 2 と表示された 6 4 画素のブロックの偶数画素により構成された、セグメント 0 の A D R C ブロックの図中右隣に配置される。

【 0 0 6 8 】

図 1 2 の B 1 と表示された 6 4 画素のブロックおよび図 1 3 の B 1 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントの A D R C ブロックは、図 1 4 に示すように、セグメント 4 として、図 1 2 の A 1 と表示された 6 4 画素のブロックおよび図 1 3 の A 1 と表示された 6 4 画素のブロックの偶数画素により構成された、セグメント 0 の A D R C ブロックの図中下側に配置される。図 1 2 の B 1 と表示された 6 4 画素のブロックおよび図 1 3 の B 1 と表示された 6 4 画素のブロックの奇数画素により構成された奇数セグメントの A D R C ブロックは、図 1 4 に示すように、セグメント 1 として、図 1 2 の A 1 と表示された 6 4 画素のブロックおよび図 1 3 の A 1 と表示された 6 4 画素のブロックの奇数画素により構成された、セグメント 3 の A D R C ブロックの図中下側（セグメント 4 の A D R C ブロックの右隣）に配置される。

【 0 0 6 9 】

図 1 2 の B 2 と表示された 6 4 画素のブロックおよび図 1 3 の B 2 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントの A D R C ブロックは、図 1 3 に示すようにセグメント 4 として、図 1 2 の B 1 と表示された 6 4 画素のブロックおよび図 1 3 の B 1 と表示された 6 4 画素のブロックの奇数画素により構成された、セグメント 1 の A D R C ブロックの図中右隣に配置される。図 1 2 の B 2 と表示された 6 4 画素のブロックおよび図 1 3 の B 2 と表示された 6 4 画素のブロックの奇数画素により構成された奇数セグメントの A D R C ブロックは、図 1 3 に示すようにセグメント 1 として、図 1 2 の B 2 と表示された 6 4 画素のブロックおよび図 1 3 の B 2 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントの A D R C ブロックの図中右隣に配置される。

【 0 0 7 0 】

図 1 2 の C 1 と表示された 6 4 画素のブロックおよび図 1 3 の C 1 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントの A D R C ブロックは、図 1 4 に示すようにセグメント 2 として、図 1 2 の B 1 と表示された 6 4 画素のブロックおよび図 1 3 の B 1 と表示された 6 4 画素のブロックの偶数画素により構成された、セグメント 4 の A D R C ブロックの図中下側に配置され

る。図 1 2 の C 1 と表示された 6 4 画素のブロックおよび図 1 3 の C 1 と表示された 6 4 画素のブロックの奇数画素により構成された奇数セグメントの A D R C ブロックは、図 1 4 に示すようにセグメント 5 として、図 1 2 の B 1 と表示された 6 4 画素のブロックおよび図 1 3 の B 1 と表示された 6 4 画素のブロックの奇数画素により構成された、セグメント 1 の A D R C ブロックの図中下側（セグメント 2 の A D R C ブロックの右隣）に配置される。

【 0 0 7 1 】

図 1 2 の C 2 と表示された 6 4 画素のブロックおよび図 1 3 の C 2 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントの A D R C ブロックは、図 1 4 に示すようにセグメント 2 として、図 1 2 の C 1 と表示された 6 4 画素のブロックおよび図 1 3 の C 1 と表示された 6 4 画素のブロックの奇数画素により構成された、セグメント 5 の A D R C ブロックの図中右隣に配置される。図 1 2 の C 2 と表示された 6 4 画素のブロックおよび図 1 3 の C 2 と表示された 6 4 画素のブロックの奇数画素により構成された奇数セグメントの A D R C ブロックは、図 1 4 に示すようにセグメント 5 として、図 1 2 の C 2 と表示された 6 4 画素のブロックおよび図 1 3 の C 2 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントの A D R C ブロックの図中の右隣に配置される。

【 0 0 7 2 】

以上の手続きを、各フレームを構成する 33×10 個の各ブロック（ 264×240 画素）について繰り返すことにより、2 つのフレームの Y データから、図 1 5 (A) に示すように、水平方向に 6 6 個、垂直方向に 3 0 個並べられた A D R C ブロックの集合が生成される。図 1 5 (B) に示すように、Y データから生成された A D R C ブロックは、シャフルされて、セグメントを構成する。

【 0 0 7 3 】

88×120 画素の U データおよび V データについても同様の処理を行うことにより、図 1 6 (A) に示すように、水平方向に 2 2 個、垂直方向に 1 5 個並べられた A D R C ブロックの集合が生成される。Y データの場合と同様に、図 1 6 (B) に示すように、U データおよび V データから生成された A D R C ブロック

は、ブロックシャフルされて、セグメントを構成する。

【0074】

各ADRCブロック内で、偶数フレームと奇数フレームの画面上で同一位置にある画素同士（例えば、図11中の0-1と示された画素と1-1と示された画素等）で画素値の差分の絶対値をとり、その差分の絶対値のうち最大値が閾値Th1に満たない場合は、そのADRCブロックは静止画とみなされる。

【0075】

差分の絶対値のうち、最大の値が閾値Th2 ($Th1 < Th2$) を越えた場合には、そのADRCブロックは動画とみなされる。

【0076】

静止画のADRCブロックでは、偶数フレームと奇数フレームの画面上で同一位置にある画素同士の画素値の平均をとり、その32個の平均値を新たにADRCブロックとして置き換え、そのADRCブロックに付される動きフラグMFを0とする。

【0077】

動画のADRCブロックでは、偶数フレームと奇数フレームから集めた64画素をそのままADRCブロックとして、そのADRCブロックに付される動きフラグMFを1とする。

【0078】

次に、セグメント毎に、ADRCブロック単位で行われるシャフルについて説明する。0の番号が付されたYデータのADRCブロックから構成されるセグメントにおいて、そのADRCブロックに通し番号を付すると、図17(A)に示すように、y0乃至y329の番号が、ADRCブロックに付される。ADRCブロックをシャフルすると、YデータのADRCブロックが、図17(B)に示されるように配置される。

【0079】

同様に、0の番号が付されたUデータのADRCブロックから構成されるセグメントにおいて、そのADRCブロックに通し番号を付すると、図17(C)に示すように、u0乃至u54の番号が、ADRCブロックに付される。Uデータ

のADRCブロックは、図17(D)に示されるように、通し番号の逆の順に並び替えられる。

【0080】

0の番号が付されたVデータのADRCブロックから構成されるセグメントにおいて、そのADRCブロックに通し番号を付すると、図17(E)に示すように、v0乃至v54の番号が、ADRCブロックに付される。VデータのADRCブロックは、図17(F)に示されるように、通し番号の逆の順に並び替えられる。

【0081】

次に、図18に示されるように、YデータのADRCブロック、UデータのADRCブロック、およびVデータのADRCブロックが、シャフルされる。3つのYデータのADRCブロックの後ろに、1つのUデータのADRCブロックが配置され、その後ろに、また、3つのYデータのADRCブロックが配置され、その後ろに、1つのVデータのADRCブロックが配置される。この配置が繰り返される。例えば、セグメント0には、y0の通し番号が付されたADRCブロック、y221の通し番号が付されたADRCブロック、y112の通し番号が付されたADRCブロック、u54の通し番号が付されたADRCブロック、y3の通し番号が付されたADRCブロック、y224の通し番号が付されたADRCブロック、y115の通し番号が付されたADRCブロック、v54の通し番号が付されたADRCブロック、およびy6の通し番号が付されたADRCブロックなどの順にADRCブロックが配置される。

【0082】

セグメント1乃至セグメント5においても、同様に、ADRCブロックがシャフルされる。

【0083】

以上のように、画素のデータは、ブロックシャフル回路102により、ADRCブロック毎にシャフルされ、シャフルされたADRCブロックを基に、ADRC符号化回路103で符号化される。ADRCブロックが適切にシャフルされることにより、通信エラーにより欠落した画素が分散され、再生される画像におい

て欠落した画素を認識しにくくすることができる。

【 0 0 8 4 】

次に、図 1 9 を参照して、A D R C 符号化回路 1 0 3 の構成を説明する。ブロックシャフル回路 1 0 2 によりシャフルされた画像は、A D R C ブロックとして、遅延回路 1 6 1、動き特徴量算出回路 1 6 2、D R 算出回路 1 6 3、および遅延回路 1 6 6 に供給される。

【 0 0 8 5 】

遅延回路 1 6 1 は、2 フレームブロック（ 4×16 画素から成る A D R C ブロック）を動き特徴量算出回路 1 6 2 の処理時間に対応する時間だけ遅延させて、情報量制御回路 1 6 4 に出力する。動き特徴量算出回路 1 6 2 は、A D R C ブロック毎に、フレーム間差分の絶対値の最大値である動き特徴量を算出して、情報量制御回路 1 6 4 に供給する。D R 算出回路 1 6 3 は、A D R C ブロック毎に、静止画とみなされた場合のダイナミックレンジ D R および動画とみなされた場合のダイナミックレンジ D R を算出して、情報量制御回路 1 6 4 に供給する。

【 0 0 8 6 】

情報量制御回路 1 6 4 は、遅延回路 1 6 1 から供給された 2 フレームブロック、動き特徴量算出回路 1 6 2 から供給された動き特徴量、D R 算出回路 1 6 3 から供給された静止画とみなされた場合のダイナミックレンジ D R および動画とみなされた場合のダイナミックレンジ D R、並びに閾値テーブル 1 6 5 から供給された閾値 $Th1$ および $Th2$ 並びに閾値 $T1$ および $T2$ のセットを基に、閾値 $Th1$ および $Th2$ から成る M F 選択閾値を選択して、静動判定回路 1 6 9 に出力する。

【 0 0 8 7 】

情報量制御回路 1 6 4 は、2 フレームブロック、動き特徴量、静止画とみなされた場合のダイナミックレンジ D R および動画とみなされた場合のダイナミックレンジ D R、並びに閾値テーブル 1 6 5 から供給された閾値 $Th1$ および $Th2$ 並びに閾値 $T1$ および $T2$ のセットを基に、Q ビット選択閾値を選択して、A D R C エンコーダ 1 7 1 に出力する。

【 0 0 8 8 】

例えば、動き特徴量が 4 で、静止画とみなされた場合のダイナミックレンジ D

Rが14で、動画とみなされた場合のダイナミックレンジDRが15である場合、テーブルインデックスが0の閾値T1が6で、閾値T2が12で、閾値Th1が3で、閾値Th2が3で、テーブルインデックスが1の閾値T1が13で、閾値T2が40で、閾値Th1が5で、閾値Th2が5であるときについて説明する。

【0089】

情報量制御回路164は、テーブルインデックスが0の閾値のセットに対して、動き特徴量が閾値Th2より大きいので、動画と判定する。動画とみなされた場合のダイナミックレンジDRが閾値T2より大きいので、このADRCブロックのqは4となり、情報量制御回路164は、コードQが $(16 * 4) * 4$ より256ビットであることを求める。

【0090】

同様に、情報量制御回路164は、テーブルインデックスが1の閾値のセットに対して、動き特徴量が閾値Th1より小さいので、静止画と判定する。静止画とみなされた場合のダイナミックレンジDRが閾値T1より大きく、閾値T2より小さいので、このADRCブロックのqは3となり、情報量制御回路164は、コードQが $(8 * 4) * 3$ より96ビットであることを求める。

【0091】

このように、閾値のセットには、テーブルインデックスが大きくなると、情報量が減少するようにそれぞれの閾値が設定されている。情報量制御回路164は、1つのバッファに対して生成されるコードQが、16,104ビット以下で、最も大きい情報量のテーブルインデックスをテーブルインデックスTIとして選択して、遅延回路173に出力する。

【0092】

情報量制御回路164は、テーブルインデックスに対応するコードQのビット数を並列演算しても、テーブルインデックスの大きい（または小さい）側から逐次演算するようにしてもよい。

【0093】

図20および図21を参照して、情報量制御回路164の構成の例を説明する。図20は、情報量制御回路164の前段部の構成を示す図であり、図21は、

情報量制御回路 1 6 4 の後段部の構成を示す図である。

【 0 0 9 4 】

図 2 0 に示すように、情報量制御回路 1 6 4 の前段部には、ダイナミックレンジ DR の閾値の数に対応した数分の比較回路 1 8 1 - 1 および 1 8 1 - 2 と、加算器 1 8 2 - 1 および 1 8 2 - 2 と、レジスタ 1 8 3 - 1 および 1 8 3 - 2 とが設けられている。比較回路 1 8 1 - 1 および 1 8 1 - 2 のそれぞれの一方の入力端子に (0 乃至 2 5 5) までの数値を取りうるダイナミックレンジ DR が供給される。

【 0 0 9 5 】

また、図 2 0 において、閾値テーブル 1 6 5 から、例えば、閾値 T 1 および閾値 T 2 が読み出され、比較回路 1 8 1 - 1 および 1 8 1 - 2 の他方の入力端子のそれぞれに供給される。具体的には、比較回路 1 8 1 - 1 の他方の入力端子に閾値 T 1 が供給され、比較回路 1 8 1 - 2 の他方の入力端子には閾値 T 2 が供給される。

【 0 0 9 6 】

比較回路 1 8 1 - 1 および 1 8 1 - 2 のそれぞれには、入力端子 5 からのダイナミックレンジ DR が各閾値以上の場合に、「 1 」の出力を発生する。比較回路 1 8 1 - 1 および 1 8 1 - 2 の比較出力がそれぞれに接続された加算器 1 8 2 - 1 または 1 8 2 - 2 のいずれかの一方の入力端子に供給される。加算器 1 8 2 - 1 または 1 8 2 - 2 の他方の入力端子には、レジスタ 1 8 3 - 1 および 1 8 3 - 2 を介して自らの加算出力が供給されるように構成されている。

【 0 0 9 7 】

従って、加算器 1 8 2 - 1 によって ($T 1 \leq DR \leq 2 5 5$) の度数の積算値が算出され、得られたデータがレジスタ 1 8 3 - 1 に保持される。また、加算器 1 8 2 - 2 によって ($T 2 \leq DR \leq 2 5 5$) の度数の積算値が算出され、得られたデータがレジスタ 1 8 3 - 2 に保持される。

【 0 0 9 8 】

レジスタ 1 8 3 - 1 および 1 8 3 - 2 のそれぞれに保持されている発生度数データのそれぞれが取り出され、図 2 1 に示すように、加算器 1 9 1 に供給される

。更に、加算器 1 9 1 には、予め情報量制御回路 1 6 4 に記憶されている度数データが供給される。加算器 1 9 1 において、 $(T 1 \leq D R \leq 2 5 5)$ の発生度数データと、 $(T 2 \leq D R \leq 2 5 5)$ の発生度数データと、予め記憶されている度数データが加算され、総量が算出される。

【 0 0 9 9 】

$(T 1 \leq D R \leq T 2 - 1)$ の発生度数値を $(S 3)$ とし、 $(T 2 \leq D R \leq 2 5 5)$ の発生度数値を $(S 4)$ とする。 $(T 2 \leq D R \leq 2 5 5)$ の発生度数値は、 $(S 4 + S 3 + S 2)$ (q が 4 ビットであるコード Q に対応する) となり、 $(T 1 \leq D R \leq 2 5 5)$ の発生度数値は、 $(S 3 + S 2)$ (q が 3 ビットであるコード Q に対応する) となる。 $(S 2)$ (q が 2 ビットであるコード Q に対応する) は、全ての A D R C ブロックに対応して発生するので、予め、情報量制御回路 1 6 4 に記憶しておくことができる。これらを加算器 1 9 1 によって加算すると、 $(S 3 + 2 * S 3 + 3 * S 2)$ の出力が得られる。この出力は、割り当てビットを乗算して全加算した場合と等しい総量である。

【 0 1 0 0 】

加算器 1 9 1 において算出された総量がレジスタ 1 9 2 を介して比較回路 1 9 3 の一方の入力端子に供給される。比較回路 1 9 3 の他方の入力端子 1 2 には、バッファ最大値が供給されており、総量がバッファ最大値と比較される。比較回路 1 9 3 の比較出力を基に、総量がバッファ最大値以下となるような閾値が決定される。つまり、閾値テーブル 1 6 5 には、予め発生データの総量が単純増加もしくは単純減少するように複数組の閾値が格納されており、総量が目標以内に収まるように閾値が選定される。

【 0 1 0 1 】

情報量制御回路 1 6 4 は、比較回路 1 9 3 の比較出力を基に、M F 選択閾値、Q ビット選択閾値、およびテーブルインデックス T I を選択して、出力する。

【 0 1 0 2 】

図 1 9 に戻り、遅延回路 1 6 6 は、2 フレームブロック ($4 \times 1 6$ 画素から成る A D R C ブロック) を遅延回路 1 6 1 および情報量制御回路 1 6 4 の処理時間に対応する時間だけ遅延させて、静止ブロック生成回路 1 6 7、遅延回路 1 6 8

および静動判定回路169に出力する。静止ブロック生成回路167は、2フレームブロック（4×16画素から成るADRCブロック）から、偶数フレームと奇数フレームの画面上で同一位置にある画素同士の画素値の平均をとり、その32個の平均値を新たにADRCブロックとして置き換え、1フレームブロック（4×8画素から成るADRCブロック）として選択回路170に供給する。

【0103】

遅延回路168は、2フレームブロック（4×16画素から成るADRCブロック）を静止ブロック生成回路167の処理時間に対応する時間だけ遅延させて、選択回路170に供給する。

【0104】

静動判定回路169は、2フレームブロック（4×16画素から成るADRCブロック）並びに閾値Th1およびTh2から成るMF選択閾値を基に、そのADRCブロックに付される動きフラグMFを生成して、選択回路170および遅延回路172に供給する。

【0105】

選択回路170は、動きフラグMFが1のとき、すなわち、ADRCブロックが動画に対応するとき、遅延回路168から供給された2フレームブロックをADRCエンコーダ171に供給し、動きフラグMFが0のとき、すなわち、ADRCブロックが静止画に対応するとき、静止ブロック生成回路167から供給された1フレームブロックをADRCエンコーダ171に供給する。

【0106】

ADRCエンコーダ171は、情報量制御回路164から供給されたQビット選択閾値を基に、選択回路170から供給された2フレームブロックまたは1フレームブロックを符号化して、ダイナミックレンジDR、最小値MIN、q、およびコードQを出力する。

【0107】

遅延回路172は、選択回路170の処理時間およびADRCエンコーダ171の処理時間に対応させて、静動判定回路169から供給された動きフラグMFを遅延して、出力する。

【 0 1 0 8 】

遅延回路 1 7 3 は、遅延回路 1 6 8 の遅延時間、選択回路 1 7 0 の処理時間、および A D R C エンコーダ 1 7 1 の処理時間に対応させて、情報量制御回路 1 6 4 から供給されたテーブルインデックス T I を遅延して、出力する。

【 0 1 0 9 】

このように、A D R C 符号化回路 1 0 3 は、A D R C ブロック毎に、ダイナミックレンジ D R、画素値の最小値 M I N、動きフラグ M F、およびコード Q を生成し、量子化テーブルのインデックス T I と共に、セグメント間シャフル回路 1 0 4 に供給する。

【 0 1 1 0 】

図 2 2 は、セグメント間シャフル回路 1 0 4 のシャフルの仕方を説明する図である。図 2 2 に示すように、シャフルの仕方にはシャフル 0 乃至 2 の 3 通り存在し、シャフル 0 は、シャフルを行わないシャフルである。シャフル 1 は、セグメント 0 (セグメント 1) のデータをセグメント 4 (セグメント 5) に、セグメント 2 (セグメント 3) のデータをセグメント 0 (セグメント 1) に、セグメント 4 (セグメント 5) のデータをセグメント 2 (セグメント 3) に、それぞれシャフル (入れ替え) する。

【 0 1 1 1 】

同様に、シャフル 2 は、セグメント 0 (セグメント 1) のデータをセグメント 2 (セグメント 3) に、セグメント 2 (セグメント 3) のデータをセグメント 4 (セグメント 5) に、セグメント 4 (セグメント 5) のデータをセグメント 0 (セグメント 1) に、それぞれシャフルする。

【 0 1 1 2 】

図 2 3 は、セグメント 0、セグメント 3、およびセグメント 5 において行われるダイナミックレンジ D R のシャフルについて説明する図である。1 セグメントは、5 バッファから構成され、1 バッファは 8 8 個の A D R C ブロックを含むため、1 セグメントには、4 4 0 個の D R が含まれる。各セグメント内に存在する D R に番号 1 乃至 4 4 0 を順次付し、図 2 3 では、例えば、セグメント 1 の番号 1 の D R は、D R 1 - 1 というように記述してある。

【 0 1 1 3 】

各セグメントの番号 1 の D R に対しては、シャフル 0 が用いられ（すなわち、入れ替えはされない）、番号 2 の D R に対しては、シャフル 1 が用いられ、番号 3 の D R に対しては、シャフル 2 が用いられ、番号 4 の D R に対しては、シャフル 0 が用いられるというように、シャフル 0、シャフル 1、シャフル 2 の順でシャフルが行われる。

【 0 1 1 4 】

同様に、コード Q に対してもシャフルが行われる。また、画素値の最小値である M I N に対しては、図 2 4 に示したように、シャフル 1、シャフル 2、シャフル 0 の順で行われシャフルが行われる。さらに、動きフラグである M F に対しては、図 2 5 に示すように、シャフル 2、シャフル 0、シャフル 1 の順で行われる。

【 0 1 1 5 】

次に、量子化テーブルのインデックス T I のシャフルについて説明する。セグメント 0 に格納されている T I は、セグメント 3 にも格納され、セグメント 3 に格納されている T I は、セグメント 0 にも格納される。すなわち、セグメント 0 とセグメント 3 は、自己の T I と対となっている相手の T I との両方を格納する。同様に、セグメント 1 とセグメント 4、セグメント 3 とセグメント 5 は、それぞれ自己の T I と対となっている相手の T I との両方を格納する。

【 0 1 1 6 】

このように、ダイナミックレンジ D R、画素値の最小値 M I N、および動きフラグ M F がシャフルされることにより、通信エラーが発生して、いずれかのデータを含んだパケットが欠落しても、受信装置 2 は、所定の A D R C ブロックを復号するとき、受信することができた他のデータを基に、欠落したデータをリカバリすることができる。また、コード Q がシャフルされることにより、通信エラーが発生して、コード Q を含んだパケットが欠落しても、欠落したコード Q に対応する画素が分散され、受信装置 2 は、コード Q の切り出しがしやすくなり、また、所定の A D R C ブロックを復号するとき、復号できた画素値を基に、欠落した画素値の創造が容易になる。

【 0 1 1 7 】

このように、セグメントの間でデータをシャフルすることにより、通信装置 2 は、データのリカバリ、および欠落画素の創造が容易になり、伝送路においてパケットが欠落しても、再生する画像の質を維持することができる。

【 0 1 1 8 】

符号化回路 1 5 のセグメント間シャフル回路 1 0 4 から出力されたデータは、パケット化回路 1 7 に入力され、パケットにされる。図 2 6 に、パケットの構成を示す。図 2 6 に示したパケット構成は、2 0 1 バイトで構成され、その内、D R が $A \times 8 M$ ビット、M I N が $B \times 8 M$ ビット、M F が $C \times 8 M$ ビット、T I が $D \times (8 M / D)$ ビット、およびコード Q (VL-Data) が $8 \times N$ ビットで構成されている。このサイズの単位のパケットを複数用いてデータを格納する。

【 0 1 1 9 】

このように、ダイナミックレンジ D R、画素値の最小値 M I N、動きフラグ M F、テーブルインデックス T I、およびコード Q が 8 の倍数となるように構成することにより、上述したシャフリングを行うときに、各々のデータのビット数サイズによらず、統一のアーキテクチャで、かつ、バイト単位で扱うのに適する。上述した説明、および後述する説明においては、図 2 6 に示したパケット構成を用いた場合である。

【 0 1 2 0 】

次に、送信装置 1 の画像の送信の処理を図 2 7 のフローチャートを参照して説明する。ステップ S 1 1 において、間引き部 1 3 の A / D 変換回路 4 2 は、入力された 6 0 H z のフィールド周波数を有するインターレース方式の画像信号を、所定のサンプリングレートでサンプリングして、所定のデータレートの Y データ、U データ、および V データとして出力する。ステップ S 1 2 において、間引きフィルタ 4 3 は、Y データ、U データ、および V データをそれぞれ、水平方向と垂直方向に 1 / 2 に間引き、3 0 H z のフレーム周波数を有するプログレッシブ方式のデータに変換する。

【 0 1 2 1 】

ステップ S 1 3 において、U V 垂直 1 / 2 回路 4 5 は、U データ、および V デ

ータを、垂直方向に1/2に間引く。ステップS14において、フォーマット変換回路14は、Yデータ、Uデータ、およびVデータを符号化回路15に供給できる形式に変換する。

【0122】

ステップS15において、符号化回路15は、フォーマット変換回路14から供給されたYデータ、Uデータ、およびVデータをシャフルして、符号化し、更にシャフルして、パケット化回路17に出力する。ステップS16において、パケット化回路17は、符号化回路15から供給されたデータを、パケット化し、送信回路19に出力する。ステップS19において、送信回路19は、パケット化回路17から供給されたパケットを所定の方式で送信し、処理は終了する。

【0123】

以上のように、送信装置1は、入力された画像の信号を圧縮して、パケットとして出力する。

【0124】

次に、受信装置2について説明する。図28は、受信装置2の構成を示すブロック図である。受信回路301が受信したパケットは、パケット解体回路302に供給される。受信回路301は、受信したパケットに欠落が生じたとき、欠落パケットのデータの各ビット単位で、欠落フラグをセットする。パケット解体回路302は、供給されたパケットを一時的に外部メモリ303に記憶させ、外部メモリ303に一時的に記憶されたパケットを解体して、パケットに含まれるデータを取り出し、欠落フラグと共に復号回路304に供給する。コードQに、8ビット単位で欠落フラグを付け、ダイナミックレンジDR、画素値の最小値MIN、および動きフラグMF毎に欠落フラグを付けるようにしても良い。

【0125】

復号回路304は、パケット解体回路302から供給されたデータを一時的に外部メモリ305に記憶させ、外部メモリ305に一時的に記憶されたADRC方式で符号化されているデータを復号し、フォーマット変換回路306に供給する。復号回路304は、復号に必要なダイナミックレンジDRまたは最小値MINなどのデータが欠落している場合、欠落しているデータをリカバリして、復号

し、復号に成功したとき、対応する欠落フラグをリセットする。

【0126】

フォーマット変換回路306は、復号回路304から供給されたデータを一時的に外部メモリ307に記憶させ、外部メモリ307に一時的に記憶されたデータに対し、フォーマット変換回路14の処理とは逆の処理を実行して、欠落画素創造回路308に供給する。

【0127】

欠落画素創造回路308は、フォーマット変換回路306から供給されたデータを基に、クラス分類適応処理により、伝送中に欠落した画素のデータを、欠落した画素の周辺の画素の画素値から作り出し、そのデータをフォーマット変換回路310に供給する。イニシャライズ回路309は、受信装置2の起動時などにおいて、欠落画素創造回路308に、係数セットなどを供給する。

【0128】

フォーマット変換回路310は、欠落画素創造回路308から供給されたデータを一時的に外部メモリ311に記憶させ、外部メモリ311に一時的に記憶されたデータを4倍密解像度創造回路312が処理できる、30Hzのフレーム周波数を有する、プログレッシブ方式の3:0.5:0.5の画像データに変換し、変換したデータを4倍密解像度創造回路312に供給する。

【0129】

4倍密解像度創造回路312は、フォーマット変換回路310から供給された画像データを基に、供給された画像の4倍の密度の画像データを創造し、補間部314に供給する。イニシャライズ回路313は、4倍密解像度創造回路312に、係数セットなどを供給する。

【0130】

補間部314は、フォーマット変換回路331、外部メモリ332、UV垂直2倍回路333、外部メモリ334、D/A変換回路335、および後置フィルタ336で構成されている。

【0131】

フォーマット変換回路331は、4倍密解像度創造回路312から供給された

データを入力し、一時的に外部メモリ 3 3 2 に記憶させ、外部メモリ 3 3 2 に一時的に記憶されたデータを UV 垂直 2 倍回路 3 3 3 が処理できる、3 0 H z のフレーム周波数を有する、プログレッシブ方式の 3 : 0 . 5 : 0 . 5 の画像データに変換し、変換されたデータを UV 垂直 2 倍回路 3 3 3 に出力する。

【 0 1 3 2 】

UV 垂直 2 倍回路 3 3 3 は、フォーマット変換回路 3 3 1 から供給されたデータを一時的に外部メモリ 3 3 4 に記憶させ、外部メモリ 3 3 4 に一時的に記憶されたデータの U データおよび V データを、それぞれ垂直方向に 2 倍に補間し、Y データ、U データ、および V データを D / A 変換回路 3 3 5 に供給する。

【 0 1 3 3 】

D / A 変換回路 3 3 5 は、UV 垂直 2 倍回路 3 3 3 から供給された Y データ、U データ、および V データを、アナログの Y 信号、U 信号、および V 信号に変換し、後置フィルタ 3 3 6 に出力する。後置フィルタ 3 3 6 は、D / A 変換回路 3 3 5 から出力されたアナログの Y 信号、U 信号、および V 信号のうち、有効な成分のみを通過させるフィルタ（いわゆる、 $\sin X / X$ フィルタ）である。後置フィルタ 3 3 6 を通過した Y 信号、U 信号、および V 信号は、NTSC エンコーダ 3 1 5 に供給され、あるいは、そのまま受信装置 2 の出力として出力される。

【 0 1 3 4 】

NTSC エンコーダ 3 1 5 は、入力された Y 信号、U 信号、および V 信号を基に、コンポーネント信号（Y / C 信号）およびコンポジットビデオ信号を生成し、出力する。

【 0 1 3 5 】

PLL 回路 3 1 6 は、各回路の処理の基準となる基準信号を生成し、コントロール回路 3 1 7 に供給する。コントロール回路 3 1 7 は、パケット解体回路 3 0 2、復号回路 3 0 4、フォーマット変換回路 3 0 6、欠落画素創造回路 3 0 8、フォーマット変換回路 3 1 0、4 倍密解像度創造回路 3 1 2、補間部 3 1 4、および NTSC エンコーダ 3 1 5 に、生成したコントロール信号を供給し、受信装置 2 全体の動作を制御する。

【 0 1 3 6 】

図 2 9 を参照して、インターレース方式で信号が出力される場合の受信装置 2 で受信された画像のデータが伸張される過程を説明する。復号回路 3 0 4 で復号された画像のデータは、フォーマット変換回路 3 0 6 で、3 0 H z のフレーム周波数を有する、プログレッシブ方式の 1 フレーム当たり水平方向に 2 6 4 画素および垂直方向に 2 4 0 画素を有する Y データ、並びに 8 8 画素 × 1 2 0 画素 × 2 の U データおよび V データに変換される。

【 0 1 3 7 】

フォーマット変換回路 3 0 6 から出力された 1 フレームを構成する Y データ、U データ、および V データは、欠落画素創造回路 3 0 8 で欠落画素が創造された後、4 倍密解像度創造回路 3 1 2 により、6 0 H z のフィールド周波数を有する、インターレース方式の第 1 フィールドおよび第 2 フィールドに変換される。このとき、Y データは、1 つのフィールド当たり、水平方向に 5 2 8 画素および垂直方向に 2 4 0 画素を含むデータとなる。U データおよび V データは、それぞれ 1 つのフィールド当たり、水平方向に 1 7 6 画素および垂直方向に 1 2 0 画素を含むデータとなる。

【 0 1 3 8 】

4 倍密解像度創造回路 3 1 2 から出力された Y データ、U データ、および V データは、フォーマット変換回路 3 3 1 により、Y データが、1 つのフレーム当たり、水平方向に 5 2 8 画素および垂直方向に 4 8 0 画素を含むデータに変換され、U データおよび V データは、それぞれ 1 つのフレーム当たり、水平方向に 1 7 6 画素および垂直方向に 2 4 0 画素を含むデータに変換される。

【 0 1 3 9 】

更に、U データおよび V データは、U V 垂直 2 倍回路 3 3 3 により、1 つのフレーム当たり、水平方向に 1 7 6 画素および垂直方向に 4 8 0 画素を含むデータに変換される。D / A 変換回路 3 3 5 は、デジタルアナログ変換を行い、Y データをアナログ Y 信号に変換し、U データおよび V データをアナログ U 信号およびアナログ V 信号にそれぞれ変換する。

【 0 1 4 0 】

このように、補間部 3 1 4 で、間引き部 1 3 に対応する処理を行うことで、実

用的な値にまで低減されたビットレートで伝送されてきたデータから、十分な画質を有する元の画像を再現することができる。

【 0 1 4 1 】

以上のように、受信装置 2 は、受信した画像のデータを伸張して、インターレース方式の Y 信号、U 信号、および V 信号として出力する。受信装置 2 が出力する画像の信号の情報は、163Mbps に相当し、送信装置 1 に入力された画像の信号の情報と比較すると、98% の情報量に相当する。

【 0 1 4 2 】

次に、復号回路 3 0 4 について説明する。図 3 0 は、復号回路 3 0 4 の構成を示すブロック図である。コントロール回路 3 1 7 から供給されたコントロール信号は、タイミング信号生成回路 3 5 1 に入力される。タイミング信号生成回路 3 5 1 は、コントロール信号を基に、タイミング信号を生成し、セグメント間デシヤフル回路 3 5 2、q ビット MF リカバリ回路 3 5 3、DRMIN リカバリ回路 3 5 4、ADRC 復号回路 3 5 5、ブロックデシヤフル回路 3 5 6、およびリカバリエラー判定回路 3 5 7 に供給する。

【 0 1 4 3 】

パケット解体回路 3 0 2 から供給されたデータは、セグメント間デシヤフル回路 3 5 2 に入力される。セグメント間デシヤフル回路 3 5 2 は、図 9 に示す送信装置 1 のセグメント間シャフル回路 1 0 4 と逆の動作を行い、シャフルされたデータを元の並びに戻す。デシヤフルされたデータに欠落がないとき、セグメント間デシヤフル回路 3 5 2 は、デシヤフルされたデータを ADRC 復号回路 3 5 5 に供給する。デシヤフルされたデータに欠落があるとき、セグメント間デシヤフル回路 3 5 2 は、デシヤフルされたデータを q ビット MF リカバリ回路 3 5 3、および DRMIN リカバリ回路 3 5 4 に供給する。また、セグメント間に跨る複数のブロックのデータにエラーがあるとき、セグメント間デシヤフル回路 3 5 2 は、連続エラー信号をブロックデシヤフル回路 3 5 6 に出力する。

【 0 1 4 4 】

q ビット MF リカバリ回路 3 5 3 は、隣接する画素の相関が圧縮されたコード Q に残っていることを利用し、連続する 3 つの ADRC ブロックの画素の画素値

の相関を基に、その相関が最大となる、 q および動きフラグMFの値の組み合わせを求め、 q および動きフラグMFの正しい値として、DRMINリカバリ回路354に出力する。 q ビットMFリカバリ回路353は、動きフラグMFが正しいか否かを判定するための e_{min1} および e_{min2} （隣接画素差分の最小値と2番目に小さい値）をリカバリエラー判定回路357に送信する。

【0145】

図31は、 q ビットMFリカバリ回路353の構成を示すブロック図である。セグメントデシャフル回路352から供給されたデシャフルされたデータは、 q ビットMF取り出し回路371に供給される。

【0146】

q ビットMF取り出し回路371は、供給されたデータから、 q および動きフラグMFを取り出し、3ブロック評価値算出回路372-1乃至372-6のそれぞれに供給する。エラーで q および動きフラグMFが失われた場合、 q ビットMF取り出し回路371は、 q および動きフラグMFとして可能性のある組み合わせを、3ブロック評価値算出回路372-1乃至372-6のそれぞれに供給する。

【0147】

例えば、“2”が設定された q および“0”が設定された動きフラグMFは、3ブロック評価値算出回路372-1に供給され、“3”が設定された q および“0”が設定された動きフラグMFは、3ブロック評価値算出回路372-2に供給され、“4”が設定された q および“0”が設定された動きフラグMFは、3ブロック評価値算出回路372-3に供給される。また、例えば、“2”が設定された q および“1”が設定された動きフラグMFは、3ブロック評価値算出回路372-4に供給され、“3”が設定された q および“1”が設定された動きフラグMFは、3ブロック評価値算出回路372-5に供給され、“4”が設定された q および“1”が設定された動きフラグMFは、3ブロック評価値算出回路372-6に供給される。

【0148】

3ブロック評価値算出回路372-1乃至372-6は、 q および動きフラグ

MFを基に、切り出されたコードQより復号される画素値から、互いに隣接する画素の画素値の差分を基にした評価値 (LE:Linear Error) を算出し、qおよび動きフラグMFと共に評価値をセレクタ373に供給する。以下、3ブロック評価値算出回路372-1乃至372-6を、個々に区別する必要がないときは、単に3ブロック評価値算出回路372と称する。

【0149】

評価値は、式(1)で算出される。評価値は、小さいほど画素の相関が高い。

【数1】

$$LE = \sum_{j=0}^2 \sum_{i=1}^{Nj} \left| \text{オフセット}_j + Q'_{i,j} \times 2^{4-q'_{i,j}} - Q_{i,j} \times 2^{4-q_{i,j}} \right| \quad (1)$$

$Q_{i,j}$ は、リカバリの対象となるADRCブロックに含まれる欠落していないコードQを示す。 $Q'_{i,j}$ は、 $Q_{i,j}$ が含まれるADRCブロックを構成する画素を含む図12および図13に示す64画素のブロックの画素で構成される他のADRCブロックに含まれるコードQを示す。例えば、 $Q_{i,j}$ が図15の番号"0"の偶数セグメントのADRCブロックに含まれるとき、 $Q'_{i,j}$ は、番号"3"の奇数セグメントのADRCブロックに含まれる。 $Q_{i,j}$ が図15の番号"4"の偶数セグメントのADRCブロックに含まれるとき、 $Q'_{i,j}$ は、番号"1"の奇数セグメントのADRCブロックに含まれる。 $q_{i,j}$ は、 $Q_{i,j}$ を切り出すqを示す。 $q'_{i,j}$ は、 $Q'_{i,j}$ を切り出すqを示す。 Nj は、ADRCブロック内欠落していないコードQの数を示す。 j は、評価値が算出される3つのADRCブロックを識別する番号である。

【0150】

オフセットjは、3つのADRCブロックの間のダイナミックレンジ、qの違いを吸収し、より正確な評価値を算出するために用いられ、式(2)、式(3)、および式(4)で算出される。

【0151】

$$\text{オフセット}_j = (X_j \times 2^{4-q_j} - Y_j \times 2^{4-q'_j}) / 128 \quad (2)$$

【数 2】

$$X_j = \sum_{i=1}^{N_j} Q_{i,j} \quad (3)$$

【数 3】

$$Y_j = \sum_{i=1}^{N_j} Q'_{i,j} \quad (4)$$

【0152】

セクタ 373 は、3 ブロック評価値算出回路 372-1 乃至 372-6 のそれぞれから供給された評価値から、最小値を有する評価値、および最小値の次に大きい値を有する評価値を選択し、それぞれ e_{min1} および e_{min2} として、リカバリエラー判定回路 357 に供給する。

【0153】

セクタ 373 は、3 ブロック評価値算出回路 372-1 乃至 372-6 のうち、最小値を有する評価値を出力したものが出力する q および動きフラグ MF を選択して、 q ビット MF リカバリ回路 353 の出力として、DRMIN リカバリ回路 354 に供給する。

【0154】

DRMIN リカバリ回路 354 は、 q ビット MF リカバリ回路 353 から供給された q の正しい値および動きフラグ MF の正しい値とセグメント間デシャフル回路 352 からの図 11 で示した対応する ADRC ブロックとを基に、ADRC ブロック毎のダイナミックレンジ DR の正しい値および ADRC ブロック毎の画素値の最小値 MIN を求め、ADRC 復号回路 355 に出力する。

【0155】

図 32 乃至図 34 を参照して、DRMIN リカバリ回路 354 のダイナミックレンジ DR または画素値の最小値 MIN のリカバリの処理を説明する。画素値 L は、ADRC の方式により、コード Q から式 (5) の処理により復号される。

$$L = DR / (2^Q) * q + MIN \quad (5)$$

【0156】

図 32 に示すように、 q と画素値 L との関係は、傾きを $DR / (2^Q)$ とし、

接片を画素値の最小値MINとする直線で表される。

【0157】

ADRCブロック内の (q, L) の組より、式(5)の $DR / (2^Q)$ および画素値の最小値MINを統計的に求める。図33に示す、 (q, L) の回帰直線を、式(5)の直線に等しいとする。

【0158】

このとき、 b が既知であるならば、 a は、式(6)で算出される。

$$a = (B - nb) / A \quad (6)$$

【0159】

また、 a が既知であるならば、 b は、式(7)で算出される。

$$b = (B - Aa) / n \quad (7)$$

【0160】

ここで、 n は、 (q, L) の点の個数であり、 A は、 $\sum x$ であり、 B は、 $\sum y$ である。

【0161】

ダイナミックレンジDRは、式(8)で算出される。

$$\begin{aligned} DR &= (\sum L' - N * MIN) / (\sum q) * 2^Q \\ &= (((DR' / 2^{Q'}) * Y) + N * MIN' - N * MIN) / X * 2^Q \\ &= (N * (MIN' - MIN) * 2^{Q'} + DR' * Y) * 2^Q / (X * 2^{Q'}) \end{aligned} \quad (8)$$

図34(A)に示すように、ダイナミックレンジDRまたは画素値の最小値MINをリカバリしようとするブロックが隣接する欠落のないのブロックの数を、 n_i としたとき、 N は、 $\sum n_i$ である。図34において、斜線が示された四角は、ダイナミックレンジDRまたは画素値の最小値MINをリカバリしようとするブロックを示す。図34において、斜線のない四角は、欠落のないのブロックを示す。ダイナミックレンジDRまたは画素値の最小値MINをリカバリしようとするブロックの q が欠落している時、図34(B)に示す様に、 n_i は0である。

【0162】

DR' は、リカバリしようとするブロックが隣接する、欠落のないのブロックのダイナミックレンジを示す。MIN' は、リカバリしようとするブロックが隣

接する、欠落のないのブロックの画素値の最小値を示す。 Q' は、リカバリしようとするブロックが隣接する、欠落のないのブロックのコード Q を示す。

【0 1 6 3】

X は、式(9)で表される。

【数4】

$$X = \sum_{i=1}^N q_i \quad (9)$$

Y は、式(10)で示される。

【0 1 6 4】

【数5】

$$Y = \sum_{i=1}^N q'_i \quad (10)$$

【0 1 6 5】

画素値の最小値 MIN は、式(11)で算出される。

$$\begin{aligned} MIN &= (\sum L' - \sum q * (DR/2^Q)) \\ &= ((DR'/2^{Q'}) * Y + N * MIN' - (DR/2^Q) * X) / N \\ &= (N * MIN' * 2^{Q'} + Q + DR' * Y * 2^Q - DR * X * 2^{Q'}) / (N * 2^{Q'} + Q) \end{aligned} \quad (11)$$

【0 1 6 6】

ADRC復号回路355は、デシャフルされたデータに欠落がないとき、セグメント間デシャフル回路352から供給されたデータを基に、コード Q を復号し、復号の結果得られた Y データ、 U データ、および V データをブロックデシャフル回路356に供給する。

【0 1 6 7】

ADRC復号回路355は、 q または動きフラグ MF に欠落があり、かつ q ビット MF リカバリ回路353が q の正しい値および動きフラグ MF の正しい値を求めることができたとき、 $DRMIN$ リカバリ回路354を介して供給された q の正しい値、動きフラグ MF の正しい値、ダイナミックレンジ DR 、およびブロック毎の画素値の最小値 MIN を基に、 $DRMIN$ リカバリ回路354から供給されたコード Q を復号し、復号の結果得られた Y データ、 U データ、および V デ

ータを、Yデータ、Uデータ、およびVデータに対応する、“0”を設定したエラーフラグと共に、ブロックデシャフル回路356に供給する。

【0168】

ADRC復号回路355は、qまたは動きフラグMFに欠落があり、かつqビットMFリカバリ回路353がqの正しい値および動きフラグMFの正しい値を求めることができないとき、コードQに対応するYデータ、Uデータ、およびVデータのエラーフラグに“1”を設定して、ブロックデシャフル回路356に供給する。

【0169】

ADRC復号回路355は、ダイナミックレンジDR、または画素値の最小値MINに欠落があり、かつDRMINリカバリ回路354がダイナミックレンジDRの正しい値および画素値の最小値MINの正しい値を求めることができたとき、DRMINリカバリ回路354を介して供給されたq、動きフラグMF、ダイナミックレンジDRの正しい値、および画素値の最小値MINの正しい値を基に、DRMINリカバリ回路354から供給されたコードQを復号し、復号の結果得られたYデータ、Uデータ、およびVデータを、Yデータ、Uデータ、およびVデータに対応する、“0”を設定したエラーフラグと共に、ブロックデシャフル回路356に供給する。

【0170】

ADRC復号回路355は、ダイナミックレンジDR、または画素値の最小値MINに欠落があり、かつかつDRMINリカバリ回路354がダイナミックレンジDRの正しい値および画素値の最小値MINの正しい値を求めることができないとき、コードQに対応するYデータ、Uデータ、およびVデータのエラーフラグに“1”を設定して、ブロックデシャフル回路356に供給する。

【0171】

リカバリエラー判定回路357は、qビットMFリカバリ回路353から供給されたemin1およびemin2を基に、リカバリエラー判定フラグFdをブロックデシャフル回路356に出力し、外部メモリ305が記憶している前のフレームの対応する画素のYデータ、Uデータ、およびVデータの更新を停止させ

る。

【0172】

ブロックデシャフル回路356は、ADRC復号回路355から”0”を設定したエラーフラグと共に、Yデータ、Uデータ、およびVデータが供給されたとき、エラーフラグ、並びにYデータ、Uデータ、およびVデータを記憶する。ブロックデシャフル回路356は、ADRC復号回路355から”1”を設定したエラーフラグと共に、Yデータ、Uデータ、およびVデータが供給されたとき、エラーフラグを記憶し、Yデータ、Uデータ、およびVデータを記憶しない。また、ブロックデシャフル回路356は、リカバリエラー判定回路357またはセグメント間デシャフル回路352から連続エラー信号が供給された場合も、外部メモリ305が記憶している前のフレームの対応する画素のYデータ、Uデータ、およびVデータの更新を停止させる。

【0173】

ブロックデシャフル回路356は、Yデータ、Uデータ、およびVデータを、図9に示す送信装置1のブロックシャフル回路102と逆の動作で、元の並びに戻し、元の並びに変換されたYデータ、Uデータ、およびVデータを出力する。

【0174】

以上のように、復号回路304は、復号に必要なデータであるq、動きフラグMF、ダイナミックレンジDR、または画素値の最小値MINが失われても、qビットMFリカバリ回路353およびDRMINリカバリ回路354が失われたデータをリカバリするので、復号を実行することができる。

【0175】

リカバリにエラーがあるときは、外部メモリ305に記憶されている画素値を上書きしないで、4フレーム前の画素値を出力するので、動きが無いとき、違和感のない画素値を出力できる。

【0176】

次に、復号回路304の処理のタイミングを図35および図36のタイミングチャートを参照して説明する。図35は、セグメント間デシャフル回路352から出力されるデータに欠落がない場合の、復号回路304の処理のタイミングの

例を示す。セグメント間デシャフル回路 3 5 2 は、デシャフルの処理を行い、所定の時間経過後（図 3 5 の例では、入力開始から 3 6 2 クロック後）、A D R C 復号回路 3 5 5 にデシャフルされたデータを出力する。A D R C 復号回路 3 5 5 は、セグメント間デシャフル回路 3 5 2 から供給されたデータを復号して出力する。

【 0 1 7 7 】

図 3 6 は、セグメント間デシャフル回路 3 5 2 から出力されるデータに欠落がある場合の、復号回路 3 0 4 の処理のタイミングの例を示す。セグメント間デシャフル回路 3 5 2 は、デシャフルの処理を行い、データに欠落がない場合に、A D R C 復号回路 3 5 5 にデータを供給するタイミングより早く（図 3 6 の例では、入力開始から 1 2 3 クロック後）、q ビット M F リカバリ回路 3 5 3 にデシャフルされたデータを出力する。q ビット M F リカバリ回路 3 5 3 は、所定のタイミングで、q および動きフラグ M F を、D R M I N リカバリ回路 3 5 4 に供給する。

【 0 1 7 8 】

D R M I N リカバリ回路 3 5 4 は、データに欠落がない場合にセグメント間デシャフル回路 3 5 2 が A D R C 復号回路 3 5 5 にデータを供給するタイミングと同じタイミングで、ダイナミックレンジおよび画素の最小値を、A D R C 復号回路 3 5 5 に供給する。

【 0 1 7 9 】

従って、復号回路 3 0 4 は、q、動きフラグ M F、ダイナミックレンジ D R、および画素の最小値 M I N をリカバリしても、セグメント間デシャフル回路 3 5 2 から出力されるデータに欠落がない場合と同じタイミングで、データを復号し、出力することができる。

【 0 1 8 0 】

以上のように、復号回路 3 0 4 は、復号に必要な所定のデータが失われても、q ビット M F リカバリ回路 3 5 3 および D R M I N リカバリ回路 3 5 4 が失われたデータをリカバリするので、復号を実行することができる。なお、復号回路 3 0 4 にエラー処理を行わないモード（ユーザセレクトブルなモード）を選択する

信号が入力されているとき、 q ビットMFリカバリ回路353およびDRMINリカバリ回路354は、リカバリを実行しない。

【0181】

図37および図38を参照して、ブロックデシャフル回路356のデータの出力のタイミングについて説明する。

【0182】

従来は、2フレームの画像を記憶するメモリを2個設けて、図37(A)に示すように、一方のメモリにデータを書き込んでいるとき、他のメモリからデータを読み出して出力し、2フレームの画像について処理が終了したとき、図37(B)に示すように、他方のメモリにデータを書き込んで、一方のメモリからデータを読み出して、出力していた。

【0183】

これに対して、外部メモリ305に、それぞれ2フレームの画像を記憶するバンクを2つ設けて(図中のバンク1およびバンク2)、ブロックデシャフル回路356は、図38(A)に示すように、3個のADRCに対応する画像データがADRC復号回路355から供給されたとき、バンク1に書き込み、図38(B)に示すように、ADRC復号回路355から画像データが供給されていないとき(例えば、図36に示す、入力開始から364クロックまでの間)、アドレスを指定することにより、バンク2からブロックデシャフルされたデータを読み出す。次の2フレームにおいては、ブロックデシャフル回路356は、3個のADRCに対応する画像データがADRC復号回路355から供給されたとき、バンク2に書き込み、ADRC復号回路355から画像データが供給されていないとき、バンク1からブロックデシャフルされたデータを読み出す。

【0184】

このようにすることで、ブロックデシャフル回路356に対し、1個の外部メモリ305で、画像データをブロックデシャフルして、出力することができる。

【0185】

図39は、リカバリエラー判定回路357の構成を示すブロック図である。 q ビットMFリカバリ回路353から供給される最小値を有する評価値 e_{min1}

、および2番目に小さい値を有する評価値 e_{min2} は、差分算出回路431に供給される。差分算出回路431は、入力された e_{min1} と e_{min2} との差を算出し、遅延回路432に出力する。遅延回路432は、差分算出回路431から供給されたデータを所定の時間遅延し、加算器435および遅延回路433に出力する。

【0186】

遅延回路433は、遅延回路432から供給されたデータを所定の時間遅延し、加算器435および遅延回路434に出力する。

【0187】

遅延回路434は、遅延回路433から供給されたデータを所定の時間遅延し、加算器435および判定回路437に出力する。

【0188】

加算器435は、遅延回路432から供給されたデータ、遅延回路433から供給されたデータ、および遅延回路434から供給されたデータを加算して、判定回路436に供給する。

【0189】

判定回路436は、加算器435から供給されたデータが予め定めた閾値 T_{e1} 以下であるか否かを判定し、加算器435から供給されたデータが閾値 T_{e1} 以下であると判定された場合、“1”をAND回路438に出力し、加算器435から供給されたデータが閾値 T_{e1} を越えると判定された場合、“0”をAND回路438に出力する。

【0190】

判定回路437は、遅延回路434から供給されたデータが予め定めた閾値 T_{e2} 以下であるか否かを判定し、遅延回路434から供給されたデータが閾値 T_{e2} 以下であると判定された場合、“1”をAND回路438に出力し、遅延回路434から供給されたデータが閾値 T_{e2} を越えると判定された場合、“0”をAND回路438に出力する。

【0191】

AND回路438は、判定回路436から供給されたデータが“1”、かつ、

判定回路 4 3 7 から供給されたデータが” 1 ” のとき、” 1 ” をホールド回路 4 3 9 に出力する。AND 回路 4 3 8 は、判定回路 4 3 6 から供給されたデータが” 0 ”、または、判定回路 4 3 7 から供給されたデータが” 0 ” のとき、” 0 ” をホールド回路 4 3 9 に出力する。

【 0 1 9 2 】

ホールド回路 4 3 9 は、入力されたデータをリセット信号が入力されるまで保持し、遅延回路 4 4 0 に出力する。遅延回路 4 4 0 は、ホールド回路 4 3 9 から出力されたデータを所定の時間遅延し、ホールド回路 4 3 9 に供給するとともに、リカバリ判定フラグ F d としてブロックデシャフル回路 3 5 6 に出力する。

【 0 1 9 3 】

このように、リカバリエラー判定回路 3 5 7 は、3 個の A D R C ブロックに対する、評価値 e m i n 1 と評価値 e m i n 2 の差の積算値が閾値 T e 1 以下であり、かつ、その A D R C ブロックに対する評価値 e m i n 1 と評価値 e m i n 2 の差が閾値 T e 2 以下であるとき、すなわち、評価値 e m i n 1 と評価値 e m i n 2 の差が少なく、リカバリされた q または動きフラグ M F が正しくない可能性が高いとき、リカバリ判定フラグ F d に 1 をセットする。

【 0 1 9 4 】

次に、A D R C 復号回路 3 5 5 で復号されたデータが一時的にブロックデシャフル回路 3 5 6 に記憶され、読み出される処理を説明する。セグメント間デシャフル回路 3 5 2 は、パケット解体回路 3 0 2 から供給されたデータに欠落があるとき、欠落するデータに対応するエラーフラグに” 1 ” を設定し、データに欠落がないとき、データに対応するエラーフラグに” 0 ” を設定し、A D R C ブロック単位のコード Q およびエラーフラグを A D R C 復号回路 3 5 5 に出力する。A D R C 復号回路 3 5 5 は、コード Q を復号し、Y データ、U データ、および V データ、並びにエラーフラグをブロックデシャフル回路 3 5 6 に出力する。

【 0 1 9 5 】

ブロックデシャフル回路 3 5 6 は、対応するエラーフラグが” 0 ” の場合、Y データ、U データ、および V データ、並びにエラーフラグを外部メモリ 3 0 5 に記憶し、対応するエラーフラグが” 1 ” である場合、エラーフラグを外部メモリ

305に記憶し、Yデータ、Uデータ、およびVデータを外部メモリ305に記憶しない。

【0196】

外部メモリ305は、2つのバンクを有し、1つのバンクに2つのフレームのYデータ、Uデータ、およびVデータ、並びにエラーフラグを記憶する。外部メモリ305のバンクは、2つのフレーム毎に切り替えられる。従って、対応するエラーフラグが”1”である場合、外部メモリ305は、4フレーム前のYデータ、Uデータ、およびVデータを記憶している。

【0197】

図40は、リカバリエラー判定回路357が、”1”が設定されたりカバリ判定フラグFdを出力した場合の、ブロックデシャフル回路356の処理を説明する図である。qビットMFリカバリ回路353から供給される最小値を有する評価値emin1、および2番目に小さい値を有する評価値emin2の差が所定の値以下であり、かつ、そのADRCブロックを含めた連続する3つのADRCブロックのemin1、およびemin2の差の和が所定の値以下であるとき、qビットMFリカバリ回路353は、qのリカバリに失敗したと判定し、このため、データの切り出しも失敗したと判定する。このとき、リカバリエラー判定回路357は、”1”が設定されたりカバリ判定フラグFdを出力する。

【0198】

リカバリエラー判定回路357が、”1”が設定されたりカバリ判定フラグFdを出力したとき、ブロックデシャフル回路356は、それ以降のバッファ（8個のADRCブロック）からのデータの切り出しに失敗したとみなし、それ以降に供給されるエラーフラグに”1”を設定し、そのエラーフラグを外部メモリ305に記憶する。ユーザセレクトブルなエスケープモードの場合には、データは外部メモリ305に記憶される。

【0199】

図41は、セグメント間デシャフル回路353が、連続エラー信号を出力した場合の、ブロックデシャフル回路356の処理を説明する図である。セグメント間デシャフル回路353は、対応する偶数ADRCブロックおよび奇数ADRC

ブロックの両方の欠落を検出したとき、連続エラー信号を出力する。qビットMFリカバリ回路353のqおよび動きフラグMFのリカバリの処理は、隣接する画素の画素値の相関を利用しているので、対応する偶数ADRCブロックおよび奇数ADRCブロックの両方が欠落しているとき、qビットMFリカバリ回路353は、リカバリの処理を実行することができない。連続エラー信号が供給されたとき、ブロックデシャフル回路356は、それ以降のバッファ（88個のADRCブロック）からのデータの切り出しに失敗したとみなし、それ以降に供給されるエラーフラグに”1”を設定し、そのエラーフラグを外部メモリ305に記憶し、それ以降に供給される復号されたデータを外部メモリ305に記憶しない。

【0200】

図42は、ユーザセレクトابلなグレイモードの場合のブロックデシャフル回路356の処理を説明する図である。グレイモードの場合、ブロックデシャフル回路356は、対応するエラーフラグが”1”であるデータに、グレイ（Y,U,V全てを128にするのではなく、対応するデータのみ128にする）を設定して出力する。

【0201】

図43および図44は、ブロックデシャフル回路356のユーザセレクトابلなりカバリオフ入力（ユーザが図示せぬ所定のスイッチを操作したときに入力される信号）に対応した処理を説明する図である。”1”が設定されたりカバリオフ入力が供給された場合、ブロックデシャフル回路356は、外部メモリ305に、図43に示すように、qビットMFリカバリ回路353を経由しないで、ADRC復号回路355でYデータ、Uデータ、およびVデータが復号されたとき、復号されたYデータ、Uデータ、およびVデータを記憶させる。図44に示すように、qビットMFリカバリ回路353でqおよび動きフラグがリカバリされたとき、ブロックデシャフル回路356は、外部メモリ305に、復号されたYデータ、Uデータ、およびVデータをメモリに記憶させず、対応するすべてのエラーフラグを”1”に設定する。リカバリオフ入力を変化させることで、qビットMFリカバリ回路353等のリカバリの効果が簡単に確認できる。

【 0 2 0 2 】

図 4 5 は、ブロックデシャフル回路 3 5 6 のエスケープ信号（ユーザが図示せぬ所定のスイッチを操作したときに入力される信号）に対応した処理を説明する図である。所定のエスケープ信号が供給された場合、ブロックデシャフル回路 3 5 6 は、図 4 5 に示すように、リカバリ判定フラグ F d が” 1 ” に設定されても、それ以降に供給されるエラーフラグに強制的に” 1 ” を設定しないでエラーフラグをメモリに記憶し、それ以降に供給される復号された Y データ、U データ、および V データをメモリに記憶する。エスケープ信号を変化させることで、ブロックデシャフル回路 3 5 6 のコンシールの処理の効果が簡単に確認できる。

【 0 2 0 3 】

図 4 6 および図 4 7 は、ブロックデシャフル回路 3 5 6 の復号したデータを出力する処理を説明するフローチャートである。ステップ S 3 1 において、セグメント間デシャフル回路 3 5 2 は、受信回路 3 0 1 が生成したエラーフラグを受信し、A D R C 復号回路 3 5 5 に供給する。A D R C 復号回路 3 5 5 は、セグメント間デシャフル回路 3 5 2 から供給されたエラーフラグをブロックデシャフル回路 3 5 6 に出力し、ブロックデシャフル回路 3 5 6 は、そのエラーフラグを受信する。

【 0 2 0 4 】

ステップ S 3 2 において、ブロックデシャフル回路 3 5 6 は、A D R C 復号回路 3 5 5 から供給された、バッファ（所定の 8 8 個の A D R C ブロック）に対応する、最初のエラーフラグを選択する。ステップ S 3 3 において、ブロックデシャフル回路 3 5 6 は、セグメント間デシャフル回路 3 5 2 から供給されている連続エラー信号が” 0 ” であるか否かを判定し、連続エラー信号が” 0 ” であると判定された場合、ステップ S 3 4 に進み、リカバリエラー判定回路 3 5 7 から供給されているリカバリ判定フラグ F d が” 0 ” であるか否かを判定する。ステップ S 3 4 において、リカバリ判定フラグ F d が” 0 ” であると判定された場合、ステップ S 3 5 に進み、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 にエラーフラグを記憶させる。

【 0 2 0 5 】

ステップ S 3 3 において、連続エラー信号が” 1 ” であると判定された場合、およびステップ S 3 4 において、リカバリ判定フラグ F d が” 1 ” であると判定された場合、データの切り出しに失敗したので、ステップ S 4 7 に進み、ブロックデシャフル回路 3 5 6 は、エスケープ信号がオフであるか否かを判定し、エスケープ信号がオフであると判定された場合、ステップ S 4 8 に進み、ステップ S 3 2 で選択されたエラーフラグに” 1 ” を設定し、ステップ S 3 5 に進み、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 にエラーフラグを記憶させる。

【 0 2 0 6 】

ステップ S 4 7 において、エスケープ信号がオンであると判定された場合、エラーフラグの設定を行わないので、手続きは、ステップ S 4 8 をスキップし、ステップ S 3 5 に進み、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 にエラーフラグを記憶させる。

【 0 2 0 7 】

ステップ S 3 6 において、ブロックデシャフル回路 3 5 6 は、バッファに対応する、すべてのエラーフラグを処理したか否かを判定し、すべてのエラーフラグを処理したと判定された場合、ステップ S 3 7 に進み、ブロックデシャフル回路 3 5 6 は、A D R C 復号回路 3 5 5 から復号された Y データ、U データ、および V データを受信する。

【 0 2 0 8 】

ステップ S 3 6 において、バッファの全てのエラーフラグをまだ処理していないと判定された場合、ステップ S 4 9 に進み、ブロックデシャフル回路 3 5 6 は、次のエラーフラグを選択し、ステップ S 3 3 に戻り、エラーフラグの設定の処理を繰り返す。

【 0 2 0 9 】

ステップ S 3 8 において、ブロックデシャフル回路 3 5 6 は、A D R C 復号回路 3 5 5 から供給された、バッファの最初の復号されたデータを選択する。

【 0 2 1 0 】

ステップ S 3 9 において、ブロックデシャフル回路 3 5 6 は、セグメント間デシャフル回路 3 5 2 から供給されている連続エラー信号が” 0 ” であるか否かを

判定し、連続エラー信号が” 0 ”であると判定された場合、ステップ S 4 0 に進み、選択されている復号されたデータに対応するエラーフラグが” 0 ”であるか否かを判定する。選択されている復号されたデータに対応するエラーフラグが” 0 ”であると判定された場合、ステップ S 4 1 に進み、ブロックデシャフル回路 3 5 6 は、選択されている復号された Y データ、U データ、および V データを外部メモリ 3 0 5 に記憶させる。手続きは、ステップ S 4 2 に進む。

【 0 2 1 1 】

ステップ S 3 9 において、連続エラー信号が” 1 ”であると判定された場合、および、ステップ S 4 0 において、選択されている復号されたデータに対応するエラーフラグが” 1 ”であると判定された場合、データは欠落しているので、ステップ S 4 1 をスキップして、ステップ S 4 2 に進む。

【 0 2 1 2 】

ステップ S 4 2 において、ブロックデシャフル回路 3 5 6 は、バッファの全ての復号されたデータを処理したか否かを判定し、バッファの全ての復号されたデータを処理したと判定された場合、ステップ S 4 3 に進む。

【 0 2 1 3 】

ステップ S 4 2 において、バッファ（8 8 個の A D R C ブロック）の全ての復号されたデータをまだ処理していないと判定された場合、ステップ S 5 0 に進み、ブロックデシャフル回路 3 5 6 は、次のデータを選択し、ステップ S 3 9 に戻り、復号したデータを記憶する処理を繰り返す。

【 0 2 1 4 】

ステップ S 4 3 において、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 に記憶されている最初のデータを選択する。ステップ S 4 4 において、ブロックデシャフル回路 3 5 6 は、エラーフラグが” 1 ”で、かつ、グレイモードであるか否かを判定し、エラーフラグが” 0 ”、または、グレイモードでないと判定された場合、ステップ S 4 5 に進み、選択されているデータをフォーマット変換回路 3 0 6 に出力する。

【 0 2 1 5 】

ステップ S 4 4 において、エラーフラグが” 1 ”で、かつ、グレイモードであ

ると判定された場合、ステップ S 5 1 に進み、ブロックデシャフル回路 3 5 6 は、グレーデータをフォーマット変換回路 3 0 6 に出力し、ステップ S 4 6 に進む。

【 0 2 1 6 】

ステップ S 4 6 において、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 のバンクに記憶されている全てのデータを処理したか否かを判定し、外部メモリ 3 0 5 に記憶されている全てのデータを処理したと判定された場合、処理は終了する。

【 0 2 1 7 】

ステップ S 4 6 において、外部メモリ 3 0 5 に記憶されている全てのデータを処理していないと判定された場合、ステップ S 5 2 に進み、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 のバンクに記憶されている次のデータを選択し、ステップ S 4 4 に戻り、データを出力する処理を繰り返す。

【 0 2 1 8 】

このように、ブロックデシャフル回路 3 5 6 は、コード Q が欠落していても、もっとも違和感の少ないデータを出力することができる。

【 0 2 1 9 】

次に、図示せぬユーザセレクトブルなりカバリオフスイッチが” 0 ”である場合のブロックデシャフル回路 3 5 6 のデータを出力する処理を図 4 8 のフローチャートを参照して説明する。ステップ S 7 1 において、セグメント間デシャフル回路 3 5 2 は、受信回路 3 0 1 が生成したエラーフラグを受信し、ADRC復号回路 3 5 5 に供給する。ADRC復号回路 3 5 5 は、セグメント間デシャフル回路 3 5 2 から供給されたエラーフラグをブロックデシャフル回路 3 5 6 に出力し、ブロックデシャフル回路 3 5 6 は、そのエラーフラグを受信する。

【 0 2 2 0 】

ステップ S 7 2 において、ブロックデシャフル回路 3 5 6 は、q および動きフラグ等が q ビット MF リカバリ回路 3 5 3 等において、リカバリされたか否かを判定し、q および動きフラグ MF 等がリカバリされていないと判定された場合、ステップ S 7 3 に進み、外部メモリ 3 0 5 にエラーフラグを記憶させる。

【 0 2 2 1 】

ステップ S 7 2 において、q および動きフラグ等がリカバリされていると判定された場合、ステップ S 7 8 に進み、ブロックデシャフル回路 3 5 6 は、受信したエラーフラグを全て” 1 ” に設定し、ステップ S 7 3 に進む。

【 0 2 2 2 】

ステップ S 7 4 において、ブロックデシャフル回路 3 5 6 は、A D R C 復号回路 3 5 5 から復号された Y データ、U データ、および V データを受信する。

【 0 2 2 3 】

ステップ S 7 5 において、ブロックデシャフル回路 3 5 6 は、q および動きフラグ等が q ビット M F リカバリ回路 3 5 3 等において、リカバリされたか否かを判定し、q および動きフラグ M F 等がリカバリされていないと判定された場合、ステップ S 7 6 に進み、ステップ S 7 4 で受信した Y データ、U データ、および V データを記憶する。

【 0 2 2 4 】

ステップ S 7 5 において、q、動きフラグ M F 等がリカバリされていると判定された場合、ステップ S 7 6 をスキップし、Y データ、U データ、および V データを記憶させないで、ステップ S 7 7 に進む。

【 0 2 2 5 】

ステップ S 7 7 において、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 に記憶させた Y データ、U データ、および V データおよびエラーフラグをフォーマット変換回路 3 0 6 に出力し、処理を終了する。

【 0 2 2 6 】

このように、リカバリオフ入力が” 1 ” である場合、ブロックデシャフル回路 3 5 6 は、リカバリされたデータを出力しない。

【 0 2 2 7 】

以上のように、復号回路 3 0 4 は、復号に必要な所定のデータが失われても、q ビット M F リカバリ回路 3 5 3 および D R M I N リカバリ回路 3 5 4 が失われたデータをリカバリするので、復号を実行することができる。また、復号回路 3 0 4 は、復号ができなくても、もっとも違和感の少ないデータを出力することが

できる。また、リカバリオフ入力を” 1 ” にすることで、リカバリの効果を簡単に確認することができる。

【 0 2 2 8 】

次に、欠落画素創造回路 3 0 8 について説明する。欠落画素創造回路 3 0 8 は、プログレッシブ方式の画像を再生するとき、クラス分類適応処理により、図 4 9 (A) に示すように、創造の対象となる画素の同一のフレーム (フレーム t) にある周辺の画素の画素値、並びにこれらの画素と水平方向および垂直方向に同一の位置の 1 つ前のフレーム (フレーム $t - 1$) にある画素の画素値を基に、欠落した画素の画素値などを創造する。また、欠落画素創造回路 3 0 8 は、クラス分類適応処理により、図 4 9 (B) に示すように、創造の対象となる画素の同一のフィールド (フィールド t) にある周辺の画素の画素値、これらの画素と水平方向および垂直方向に同一の位置の 1 つ前のフィールド (フィールド $t - 1$)、並びに創造の対象となる画素の周辺の画素と水平方向および垂直方向に同一の位置の 2 つ前のフィールド (フィールド $t - 2$) にある画素の画素値を基に、欠落した画素の画素値などを創造する。

【 0 2 2 9 】

図 5 0 は、欠落画素創造回路 3 0 8 の構成を示すブロック図である。欠落画素創造回路 3 0 8 に入力されたデータである画素値および画素の欠落を示すエラーフラグは、前処理回路 5 0 1 およびタップ構築回路 5 0 2 - 1 に供給される。

【 0 2 3 0 】

前処理回路 5 0 1 は、入力された画素値および画素の欠落を示すエラーフラグを基に、欠落している画素の値を線形補間フィルタで生成し、欠落している画素にその値を設定し、タップ構築回路 5 0 2 - 2 乃至 5 0 2 - 5 に供給する。なお、画素値は、タップデータとも称する。

【 0 2 3 1 】

前処理回路 5 0 1 の処理を図 5 1 のフローチャートを参照して説明する。ステップ S 1 3 1 において、前処理回路 5 0 1 は、エラーフラグを基に、対象となる画素が欠落しているか否かを判定し、対象となる画素が欠落していないと判定された場合、ステップ S 1 3 2 に進み、対象となる画素の画素値を、対象となる画

素に設定し、処理は終了する。

【 0 2 3 2 】

ステップ S 1 3 1 において、対象となる画素が欠落していると判定された場合、ステップ S 1 3 3 に進み、前処理回路 5 0 1 は、エラーフラグを基に、対象となる画素の水平に隣接している画素のいずれかが欠落しているか否かを判定する。ステップ S 1 3 3 において、対象となる画素の水平に隣接している画素のいずれも欠落していないと判定された場合、ステップ S 1 3 4 に進み、前処理回路 5 0 1 は、対象となる画素の水平に隣接している 2 つの画素の画素値の平均値を対象となる画素の画素値に設定し、処理は終了する。

【 0 2 3 3 】

ステップ S 1 3 3 において、対象となる画素の水平に隣接している画素のいずれかが欠落していると判定された場合、ステップ S 1 3 5 に進み、前処理回路 5 0 1 は、対象となる画素の水平に隣接している画素のいずれも欠落しているか否かを判定する。ステップ S 1 3 5 において、対象となる画素の水平に隣接している画素のいずれかが欠落していないと判定された場合、ステップ S 1 3 6 に進み、前処理回路 5 0 1 は、対象となる画素の水平に隣接している、欠落していない画素の画素値を対象となる画素の画素値に設定し、処理は終了する。

【 0 2 3 4 】

ステップ S 1 3 5 において、対象となる画素の水平に隣接している画素のいずれも欠落していると判定された場合、ステップ S 1 3 7 に進み、前処理回路 5 0 1 は、エラーフラグを基に、対象となる画素の垂直に隣接している画素のいずれかが欠落しているか否かを判定する。ステップ S 1 3 7 において、対象となる画素の垂直に隣接している画素のいずれも欠落していないと判定された場合、ステップ S 1 3 8 に進み、前処理回路 5 0 1 は、対象となる画素の垂直に隣接している 2 つの画素の画素値の平均値を対象となる画素の画素値に設定し、処理は終了する。

【 0 2 3 5 】

ステップ S 1 3 7 において、対象となる画素の垂直に隣接している画素のいずれかが欠落していると判定された場合、ステップ S 1 3 9 に進み、前処理回路 5

01は、エラーフラグを基に、対象となる画素に隣接している全ての画素が欠落しているか否かを判定する。ステップS139において、対象となる画素に隣接しているいずれかの画素が欠落していないと判定された場合、ステップS40に進み、前処理回路501は、対象となる画素に隣接している、欠落していない画素の画素値を対象となる画素の画素値に設定し、処理は終了する。

【0236】

ステップS139において、対象となる画素に隣接している全ての画素が欠落していると判定された場合、ステップS41に進み、前処理回路501は、対象となる画素と同じ位置の過去のフレームの画素の画素値を、対象となる画素の画素値に設定し、処理は終了する。

【0237】

以上のように、前処理回路501は、対象となる画素の画素値を周辺の画素の画素値から線形に補間する。前処理回路501による補間処理により、これに続く処理で利用できるタップの範囲を広げることができる。

【0238】

タップ構築回路502-1乃至502-5は、それぞれ、タップデータ等を、所定のタイミングで、動きクラス生成回路503、DRクラス生成回路504、空間クラス生成回路505、および欠落クラス生成回路506に供給する。

【0239】

動きクラス生成回路503は、イニシャライズ回路309から供給されたパラメータ、並びにタップ構築回路502-1から供給されたエラーフラグおよび選択されたタップを基に、動きクラスコードおよび静動フラグを生成し、タップ構築回路502-2乃至205-5およびクラス合成回路507に出力する。動きクラスコードは、動きの量を示す2ビットの情報を有し、静動フラグは、動きの有り無しを1ビットで示す。

【0240】

図52(A)は、動きクラス生成回路503による時間アクティビティの算出に使用される、創造の対象となる画素を中心とした3×3の画素の例を示す図である。図52(A)において、“エラー”は、欠落した画素を示す。図52(B

）は、図 5 2（A）に示された画素に対応する、1 つ前のフレームの 3×3 の画素の例を示す図である。図 5 2（A）および図 5 2（B）に示される L 1 乃至 L 3 は、それぞれラインを示し、ラインの同一の番号は、垂直方向に同一の位置であることを示す。図 5 2（A）および図 5 2（B）に示される H 1 乃至 H 3 は、それぞれ画素の水平方向の位置を示し、その同一の番号は、水平方向に同一の位置であることを示す。

【 0 2 4 1 】

図 5 2（A）および図 5 2（B）に示される場合において、時間アクティビティは、式（12）で算出される。

$$\begin{aligned} \text{時間アクティビティ} = & | (q 2) - (p 2) | + | (q 3) - (p 3) | + \\ & | (q 4) - (p 4) | + | (q 6) - (p 6) | + \\ & | (q 7) - (p 7) | + | (q 9) - (p 9) | \end{aligned} \quad (12)$$

式（12）において、（ ）は、画素の画素値を表し、| | は、絶対値を求める関数を表す。

【 0 2 4 2 】

動きクラス生成回路 5 0 3 は、創造の対象となる画素を中心とした 3×3 の画素の最大値と最小値との差に 1 を加算した空間アクティビティを算出する。

【 0 2 4 3 】

図 5 3 は、動きクラス生成回路 5 0 3 による空間アクティビティの算出に使用される、創造の対象となる欠落した画素を中心とした 3×3 の画素の例を示す図である。このとき、空間アクティビティは、式（13）で算出される。

$$\text{空間アクティビティ} = \text{Max} (q i) - \text{Min} (q i) + 1 \quad (13)$$

式（13）において、Max (q i) は、q 1 乃至 q 9 の画素値の最大値を示す。Min (q i) は、q 1 乃至 q 9 の画素値の最小値を示す。

【 0 2 4 4 】

動きクラス生成回路 5 0 3 は、空間アクティビティを基に、それぞれ異なる値を有する閾値を選択する。動きクラス生成回路 5 0 3 は、動き判定の閾値、および時間アクティビティを基に、動きクラスコードを設定する。

【 0 2 4 5 】

図 5 4 は、動き判定の閾値を説明する図である。動き判定の閾値は、空間アクティビティの値によって、異なる値が使用される。空間アクティビティが大きくなれば、大きな値の閾値が使用される。これは、空間アクティビティが大きい場合、動きが少なくとも、時間アクティビティが、大きな値となることを考慮したものである。

【 0 2 4 6 】

なお、スタンダードデンシティのデータに対する処理においては、空間アクティビティとは無関係に固定された閾値を使用して動きクラスコードが設定される。

【 0 2 4 7 】

次に、動きクラス生成回路 5 0 3 の動きクラスコードを設定する処理を、図 5 5 のフローチャートを参照して説明する。ステップ S 1 5 1 において、動きクラス生成回路 5 0 3 は、時間アクティビティが、閾値 1 以下であるか否かを判定し、時間アクティビティが閾値 1 以下であると判定された場合、ステップ S 1 5 2 に進み、動きクラスコードを 0 に設定し、処理は終了する。

【 0 2 4 8 】

ステップ S 1 5 1 において、時間アクティビティが閾値 1 を越えると判定された場合、ステップ S 1 5 3 に進み、動きクラス生成回路 5 0 3 は、時間アクティビティが、閾値 2 以下であるか否かを判定し、時間アクティビティが閾値 2 以下であると判定された場合、ステップ S 1 5 4 に進み、動きクラスコードを 1 に設定し、処理は終了する。

【 0 2 4 9 】

ステップ S 1 5 3 において、時間アクティビティが閾値 2 を越えると判定された場合、ステップ S 1 5 5 に進み、動きクラス生成回路 5 0 3 は、時間アクティビティが閾値 3 以下であるか否かを判定し、時間アクティビティが閾値 3 以下であると判定された場合、ステップ S 1 5 6 に進み、動きクラスコードを 2 に設定し、処理は終了する。

【 0 2 5 0 】

ステップ S 1 5 5 において、時間アクティビティが閾値 3 を越えると判定された場合、ステップ S 1 5 7 に進み、動きクラス生成回路 5 0 3 は、動きクラスコードを 3 に設定し、処理は終了する。

【 0 2 5 1 】

以上のように、動きクラス生成回路 5 0 3 は、閾値および時間アクティビティを基に、動きクラスコードを設定する。

【 0 2 5 2 】

動きクラス生成回路 5 0 3 は、複数の画素の動きクラスコードを基に、再度、動きフラグを設定する。例えば、図 5 6 に示すように、創造の対象となる画素の周辺の画素の動きクラスコードを基に、動きクラス生成回路 5 0 3 は、対象となる画素の動きクラスコードを設定する。

【 0 2 5 3 】

動きクラス生成回路 5 0 3 の動きクラスコードを設定する処理を図 5 7 のフローチャートを参照して説明する。ステップ S 1 7 1 において、動きクラス生成回路 5 0 3 は、7 つの画素の動きクラスコードのうち、3 の値が設定されている動きクラスコードの数が、閾値 3 より大きいかな否かを判定し、3 の値が設定されている動きクラスコードの数が、閾値 3 より大きいと判定された場合、ステップ S 1 7 2 に進み、動きクラスコードに 3 を設定し、処理は終了する。

【 0 2 5 4 】

ステップ S 1 7 1 において、3 の値が設定されている動きクラスコードの数が、閾値 3 以下であると判定された場合、ステップ S 1 7 3 に進み、動きクラス生成回路 5 0 3 は、3 の値が設定されている動きクラスコードの数と 2 の値が設定されている動きクラスコードの数を加えた値が、閾値 2 より大きいかな否かを判定し、3 の値が設定されている動きクラスコードの数と 2 の値が設定されている動きクラスコードの数を加えた値が、閾値 2 より大きいと判定された場合、ステップ S 1 7 4 に進み、動きクラスコードに 2 を設定し、処理は終了する。

【 0 2 5 5 】

ステップ S 1 7 3 において、3 の値が設定されている動きクラスコードの数と 2 の値が設定されている動きクラスコードの数を加えた値が、閾値 2 以下である

と判定された場合、ステップ S175 に進み、動きクラス生成回路 503 は、3 の値が設定されている動きクラスコードの数、2 の値が設定されている動きクラスコードの数、および 1 の値が設定されている動きクラスコードの数を加えた値が、閾値 1 より大きいと判定し、3 の値が設定されている動きクラスコードの数、2 の値が設定されている動きクラスコードの数、および 1 の値が設定されている動きクラスコードの数を加えた値が、閾値 1 より大きいと判定された場合、ステップ S176 に進み、動きクラスコードに 1 を設定し、処理は終了する。

【0256】

ステップ S175 において、3 の値が設定されている動きクラスコードの数、2 の値が設定されている動きクラスコードの数、および 1 の値が設定されている動きクラスコードの数を加えた値が、閾値 1 以下であると判定された場合、ステップ S177 に進み、動きクラス生成回路 503 は、動きクラスコードに 0 を設定し、処理は終了する。

【0257】

このように、動きクラス生成回路 503 は、複数の画素の動きクラスコード、並びに予め記憶している閾値を基に、最終的な、動きクラスコードを設定する。

【0258】

以上のように、動きクラス生成回路 503 は、複数の画素の画素値から動きクラスコードを設定し、出力する。動きクラス生成回路 503 は、動きクラスコードを基に、静動フラグを設定し、出力する。例えば、動きクラスコードが 0 または 1 のとき、静動フラグは、0 に設定され、動きクラスコードが 2 または 3 のとき、静動フラグは、1 に設定される。

【0259】

タップ構築回路 502-2 は、動きクラス生成回路 503 から供給された動きクラスコードおよび静動フラグ、並びに欠落画素の位置を基に、全てのクラス構造を網羅した予測タップを選択して、可変タップ選択回路 508 に供給する。

【0260】

タップ構築回路 502-3 は、動きクラス生成回路 503 から供給された動き

クラスコードおよび静動フラグを基に、タップおよびクラスタップを選択して、エラーフラグとともに、DRクラス生成回路504に供給する。DRクラス生成回路504は、タップ構築回路502-3から供給されたタップ、クラスタップ、エラーフラグを基に、DRクラスコードを生成して、クラス合成回路507に出力する。

【0261】

タップ構築回路502-4は、動きクラス生成回路503から供給された動きクラスコードおよび静動フラグを基に、タップおよびクラスタップを選択して、エラーフラグとともに、空間クラス生成回路505に供給する。空間クラス生成回路505は、タップ構築回路502-4から供給されたタップ、クラスタップ、エラーフラグを基に、空間クラスコードを生成して、クラス合成回路507に出力する。

【0262】

タップ構築回路502-5は、動きクラス生成回路503から供給された動きクラスコードおよび静動フラグを基に、タップを選択して、エラーフラグとともに、欠落クラス生成回路506に供給する。欠落クラス生成回路506は、タップ構築回路502-5から供給されたタップ、エラーフラグを基に、欠落クラスコードを生成して、クラス合成回路507に出力する。

【0263】

クラス合成回路507は、動きクラスコード、静動フラグ、DRクラスコード、空間クラスコード、および欠落クラスコードを基に、クラスコードを統合し、最終的なクラスコードを形成して、係数保持クラスコード選択回路509に出力する。

【0264】

係数保持クラスコード選択回路509は、イニシャライズ回路309から供給された係数セット、および予測構造、並びにクラス合成回路507から供給されたクラスコードを基に、可変タップ選択回路508に、可変タップを選択させるとともに、予測係数列を推定予測演算回路510に出力する。

【0265】

図 5 8 乃至図 6 1 を基に、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を説明する。

【 0 2 6 6 】

図 5 8 は、動きクラスコードが 0 のとき、タップ構築回路 5 0 2 - 2 が可変タップ選択回路 5 0 8 に出力する予測タップ可変選択範囲と、可変タップ選択回路 5 0 8 が選択する予測タップデータ列の例を示す図である。図 5 8 において、実線で囲んだタップは、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す。可変タップ選択回路 5 0 8 が選択する予測タップデータ列は、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【 0 2 6 7 】

例えば、動きクラスコードが 0 のとき、タップ構築回路 5 0 2 - 2 は、隣接するタップを選択する。例えば、動きクラスコードが 0 のとき、可変タップ選択回路 5 0 8 は、隣接するタップを選択する。

【 0 2 6 8 】

図 5 9 は、動きクラスコードが 1 のとき、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲と、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す図である。図 5 9 において、実線で囲んだタップは、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す。可変タップ選択回路 5 0 8 が選択する予測タップデータ列は、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【 0 2 6 9 】

例えば、動きクラスコードが 1 のとき、タップ構築回路 5 0 2 - 2 は、隣接するタップと、その隣接するタップとは隣接しないタップを選択する。例えば、動きクラスコードが 0 のとき、可変タップ選択回路 5 0 8 は、隣接する 5 個のタップと、その隣接する 5 個のタップとは離れた隣接する 5 個のタップを選択する。

【 0 2 7 0 】

図 6 0 は、欠落タップが存在して、動きクラスコードが 0 のとき、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲と、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す図である。図中の黒丸は、欠落タップを示す。図 6 0 において、実線で囲んだタップは、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す。可変タップ選択回路 5 0 8 が選択する予測タップデータ列は、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【 0 2 7 1 】

例えば、欠落タップが存在して、動きクラスコードが 0 のとき、タップ構築回路 5 0 2 - 2 は、隣接するタップを選択する。例えば、欠落タップが存在して、動きクラスコードが 0 のとき、可変タップ選択回路 5 0 8 は、欠落タップが存在しないときと同じ数の、隣接するタップ（例えば、欠落タップの隣のタップまたは欠落タップと同じ並びのタップ）を選択する。

【 0 2 7 2 】

図 6 1 は、欠落タップが存在して、動きクラスコードが 1 のとき、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲と、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す図である。図中の黒丸は、欠落タップを示す。図 6 0 において、実線で囲んだタップは、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す。可変タップ選択回路 5 0 8 が選択する予測タップデータ列は、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【 0 2 7 3 】

例えば、欠落タップが存在して、動きクラスコードが 1 のとき、タップ構築回路 5 0 2 - 2 は、隣接するタップと、その隣接するタップとは隣接しないタップを選択する。例えば、欠落タップが存在して、動きクラスコードが 0 のとき、可変タップ選択回路 5 0 8 は、欠落タップが存在しないときと同じ数の、隣接するタップ（例えば、欠落タップの隣のタップまたは欠落タップと同じ並びのタップ

）と、その隣接するタップとは離れた、欠落タップが存在しないときと同じ数の、隣接するタップを選択する。

【0274】

推定予測演算回路510は、イニシャライズ回路309から設定された出力モードを基に、可変タップ選択回路508から供給された予測タップデータ列、および係数保持クラスコード選択回路509から供給された予測係数列を基に、線形推定式を用いて、欠落した画素の画素値を算出する。

【0275】

このように、欠落画素創造回路308は、ダイナミックレンジ、動き、欠落、および画素値の変化などによるクラス分類により、欠落した画素の周辺の画素値を基に、欠落した画素値を算出する。

【0276】

また、推定予測演算回路510は、入力された画像の画質をアップさせる（階調の増加（Yデータ、Uデータ、およびVデータのビット数の増加）、ノイズの除去、量子化歪みの除去（時間方向の歪みの除去を含む）、4倍密度の解像度の創造など）ことができる。

【0277】

次に、4倍密解像度創造回路312について説明する。4倍密解像度創造回路312は、インターレース方式の画像を出力するとき、図62（A）および図62（B）に示すように、クラス分類適応処理を利用し、2つのフィールドの所定の数の画素の画素値を基に、入力された2つのフィールドの間に2つの画素を創造する。

【0278】

4倍密解像度創造回路312は、プログレッシブ方式の画像を出力するとき、図62（C）および図62（D）に示すように、クラス分類適応処理を利用し、図62に示すように、2つのフレームの所定の数の画素の画素値を基に、入力された2つのフレームの間に2つの画素を創造する。

【0279】

図63は、4倍密解像度創造回路312の構成を示すブロック図である。フォ

ーマット変換回路 3 1 0 から供給される Y データ、U データ、および V データは、タップ選択回路 6 0 1、タップ選択回路 6 0 2、およびタップ選択回路 6 0 3 に供給される。タップ選択回路 6 0 1 は、レジスタ 6 0 9 に格納されているタップの位置情報に従って、密度を 4 倍にするために創造する画素の画素値を算出するのに使用する画素を選択する。タップ選択回路 6 0 1 により選択された画素は、推定予測演算回路 6 0 7 に供給される。

【 0 2 8 0 】

タップ選択回路 6 0 2 は、レジスタ 6 1 0 に格納されているタップの位置情報に従って、創造する画素の近傍の画素の画素値のうち、空間クラス分類に使用する画素を選択する。タップ選択回路 6 0 2 により選択された画素は、空間クラス検出回路 6 0 4 に供給される。空間クラス検出回路 6 0 4 は、空間クラスを検出する。検出された空間クラスは、クラス合成回路 6 0 6 に供給される。

【 0 2 8 1 】

タップ選択回路 6 0 3 は、レジスタ 6 1 1 に格納されているタップの位置情報に従って、創造する画素の近傍の画素に基づいて動きに対応するクラス分類に使用する画素を選択するものである。タップ選択回路 6 0 3 により選択された画素は、動きクラス検出回路 6 0 5 に供給される。動きクラス検出回路 6 0 5 は、動きクラスを検出する。検出された動きクラスは、クラス合成回路 6 0 6 およびレジスタ 6 1 0 に供給される。レジスタ 6 1 0 のタップの位置情報は、動きクラス検出回路 6 0 5 から供給された動きクラスによって切り換えられる。

【 0 2 8 2 】

クラス合成回路 6 0 6 は、空間クラスおよび動きクラスを統合し、最終的なクラスコードを形成する。

【 0 2 8 3 】

このクラスコードが係数メモリ 6 1 2 に対して、アドレスとして供給され、係数メモリ 6 1 2 からクラスコードに対応する係数セットが読み出される。係数セットは、推定予測演算回路 6 0 7 に供給される。推定予測演算回路 6 0 7 は、タップ選択回路 6 0 1 から供給された画素の画素値、および係数メモリ 6 1 2 から供給された係数セットを基に、線形推定式を用いて、創造する画素の画素値を算

出する。推定予測演算回路 6 0 7 からの出力は、ラインデータ L 1 およびラインデータ L 2 として、線順次変換回路 6 1 3 に供給される。

【 0 2 8 4 】

係数セットは、教師信号としての、1つのフィールド当たり、水平方向に 5 2 8 画素および垂直方向に 2 4 0 画素を含む Y データ、それぞれ 1つのフィールド当たり、水平方向に 1 7 6 画素および垂直方向に 1 2 0 画素を含む U データおよび V データを用いて、クラス毎の係数セットが予め生成されて、イニシャライズ回路 3 1 3 に記憶されている。

【 0 2 8 5 】

線順次変換回路 6 1 3 は、ラインメモリを有し、推定予測演算回路 6 0 7 から出力されるラインデータ L 1 およびラインデータ L 2 をレジスタ 6 0 8 に格納されている出力タイミングのデータに基づき、線順次で出力する。線順次変換回路 6 1 3 から、供給された画像の 4 倍の密度の画像のデータが出力される。

【 0 2 8 6 】

レジスタ 6 0 8、レジスタ 6 0 9、レジスタ 6 1 0、レジスタ 6 1 1、および係数メモリ 6 1 2 は、イニシャライズ回路 3 1 3 に初期化信号が供給されたとき、イニシャライズ回路 3 1 3 から供給された係数セット等を格納する。

【 0 2 8 7 】

図 6 4 は、4 倍密解像度創造回路 3 1 2 がインターレース方式で 4 倍密解像度の画素を生成、出力する場合における、4 倍密解像度創造回路 3 1 2 に入力される画素（図中、大きい円で示す）の位置、および 4 倍密解像度創造回路 3 1 2 が出力する画素（図中、小さい円で示す）の位置を示す図である。4 倍密解像度創造回路 3 1 2 に入力されるフレームは、3 0 H z の周波数を有し、4 倍密解像度創造回路 3 1 2 が出力するフィールドは、6 0 H z の周波数を有する。出力される第 1 のフィールドの画素は、入力された画素から、垂直方向に出力される画面のラインの 1 ライン分だけ上にずれて出力され、1 ライン当たりの画素の数は、2 倍になっている。出力される第 2 のフィールドの画素は、入力された画素から、垂直方向に出力される画面のラインの 1 ライン分だけ下にずれて出力され、1 ライン当たりの画素の数は、2 倍になっている。

【 0 2 8 8 】

図 6 5 は、4 倍密解像度創造回路 3 1 2 がプログレッシブ方式で 4 倍密解像度の画素を生成して、出力するときの、4 倍密解像度創造回路 3 1 2 に入力される画素（図中、大きい円で示す）の位置、および 4 倍密解像度創造回路 3 1 2 が出力する画素（図中、小さい円で示す）の位置を示す図である。4 倍密解像度創造回路 3 1 2 に入力されるフレームは、3 0 H z の周波数を有し、4 倍密解像度創造回路 3 1 2 が出力するフレームは、6 0 H z の周波数を有する。出力されるフレームの画素は、入力された画素と同じライン上に出力され、1 ライン当たりの画素の数は、2 倍になっている。

【 0 2 8 9 】

以上のように、4 倍密解像度創造回路 3 1 2 は、入力された画像を基に、2 倍のフレーム周波数また 2 倍のフィールド周波数で、1 ライン当たり 2 倍の画素の数を有する画像を創造して出力する。

【 0 2 9 0 】

次に、UV 垂直 2 倍回路 3 3 3 について説明する。図 6 6 は、UV 垂直 2 倍回路 3 3 3 の構成を示すブロック図である。UV 垂直 2 倍回路 3 3 3 には、4 倍密解像度創造回路 3 1 2 により、画素の数が増やされた U データおよび V データが入力される。入力されたデータは、ライン F I F O 7 0 1 - 1 乃至 7 0 1 - 6 により、1 ライン分ずつ遅延され、順次後段に出力される。

【 0 2 9 1 】

乗算回路 7 0 2 - 1 は、入力されたデータに係数を乗じて、加算回路 7 0 3 に出力する。

【 0 2 9 2 】

乗算回路 7 0 2 - 2 乃至 7 0 2 - 7 は、それぞれライン F I F O 7 0 1 - 1 乃至 7 0 1 - 6 より、入力されたデータに係数を乗じて、加算回路 7 0 3 に出力する。

【 0 2 9 3 】

加算回路 7 0 3 は、乗算回路 7 0 2 - 1 乃至 7 0 2 - 7 から供給されたデータを加算し、ラッチ回路 7 0 4 に供給する。ラッチ回路 7 0 4 は、クロック信号が

入力されたとき、入力されたデータをラッチする。

【 0 2 9 4 】

UV垂直2倍回路333の動作を図67を参照して説明する。ラインFIFO701-1乃至701-6は、入力されたラインに連続する6本のライン上の、画面の水平方向に同一の位置の画素（図67に丸印で示す画素）のデータを出力する。乗算回路702-1乃至702-7は、入力されたデータに、それぞれ係数を乗じて、加算回路703に出力する。加算回路703は、出力されたデータを加算し、ラッチ回路704に出力する。ラッチ回路704には、ラインの本数が2倍となるタイミング（図67に黒い3角形で示すタイミング）で、クロック信号が入力される。従って、UV垂直2倍回路333は、入力されたUデータおよびVデータのラインの本数を2倍に補間して、出力する。

【 0 2 9 5 】

次に、受信装置2の受信の処理を図68のフローチャートを参照して説明する。ステップS201において、パケット解体回路302は、受信回路301が受信したパケットを解体し、復号回路304に供給する。ステップS202において、復号回路304は、パケット解体回路302から入力されたデータを、ADRC方式で復号する。伝送中にデータが欠落したとき、復号回路304の復号において、q、動きフラグMF、ダイナミックレンジDR、または画素値の最小値MINがリカバリされ、Yデータ、Uデータ、およびVデータが復号される。

【 0 2 9 6 】

ステップS203において、フォーマット変換回路306は、復号回路304から供給されたYデータ、Uデータ、およびVデータを、欠落画素創造回路308が処理できる所定のフォーマットに変換する。ステップS204において、欠落画素創造回路308は、欠落した画素のうち、復号回路304で復号できなかった画素を、クラス適応処理により、創造する。

【 0 2 9 7 】

ステップS205において、フォーマット変換回路310は、欠落画素創造回路308から供給されたYデータ、Uデータ、およびVデータを、4倍密解像度創造回路312が処理できる所定のフォーマットに変換する。ステップS206

において、4倍密解像度創造回路312は、入力されたYデータ、Uデータ、およびVデータを基に、クラス適応処理により画素を創造し、画素の密度を4倍にして、補間部314に出力する。

【0298】

ステップS207において、フォーマット変換回路331は、4倍密解像度創造回路312から供給されたYデータ、Uデータ、およびVデータを、所定の補間の処理ができるように、データ形式を変更する。ステップS208において、UV垂直2倍回路333は、UデータおよびVデータを垂直方向に画素を補間して、ライン数が2倍になるようにする。ステップS209において、D/A変換回路335は、所定のクロックレートでデジタルアナログ変換し、アナログY信号、アナログU信号、およびアナログV信号を出力し、処理は終了する。

【0299】

以上のように、受信装置2は、伝送路でデータが欠落しても、復号することができ、また、欠落した画素を創造して、欠落した画素の影響をほとんど受けずに伸張し、画像の信号を出力することができる。

【0300】

なお、画像伝送システムは、画像を送受信するとして説明したが、画像に限らず、音声などのデータを伝送するようにしてもよい。

【0301】

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

【0302】

図69は、記録媒体およびコンピュータの例を説明する図である。CPU (Central Processing Unit) 811は、各種アプリケーションプログラムや、OS (Operating System)を実際に実行する。ROM (Read-only Memory) 812は、一般的に

は、CPU 8 1 1 が使用するプログラムや演算用のパラメータのうちの基本的に固定のデータを格納する。RAM (Random-Access Memory) 8 1 3 は、CPU 8 1 1 の実行において使用するプログラムや、その実行において適宜変化するパラメータを格納する。これらはCPUバスなどから構成されるホストバス 8 1 4 により相互に接続されている。

【 0 3 0 3 】

ホストバス 8 1 4 は、ブリッジ 8 1 5 を介して、PCI (Peripheral Component Interconnect/Interface) バスなどの外部バス 8 1 6 に接続されている。

【 0 3 0 4 】

キーボード 8 1 8 は、CPU 8 1 1 に各種の指令を入力するとき、使用者により操作される。マウス 8 1 9 は、ディスプレイ 8 2 0 の画面上のポイントの指示や選択を行うとき、使用者により操作される。ディスプレイ 8 2 0 は、液晶表示装置またはCRT (Cathode Ray Tube) などから成り、各種情報をテキストやイメージで表示する。HDD (Hard Disk Drive) 8 2 1 は、ハードディスクを駆動し、それらにCPU 8 1 1 によって実行するプログラムや情報を記録または再生させる。

【 0 3 0 5 】

ドライブ 8 2 2 は、装着されている磁気ディスク 8 4 1、光ディスク 8 4 2、光磁気ディスク 8 4 3、または半導体メモリ 8 4 4 に記録されているデータまたはプログラムを読み出して、そのデータまたはプログラムを、インターフェース 8 1 7、外部バス 8 1 6、ブリッジ 8 1 5、およびホストバス 8 1 4 を介して接続されているRAM 8 1 3 に供給する。

【 0 3 0 6 】

これらのキーボード 8 1 8 乃至ドライブ 8 2 2 は、インターフェース 8 1 7 に接続されており、インターフェース 8 1 7 は、外部バス 8 1 6、ブリッジ 8 1 5、およびホストバス 8 1 4 を介してCPU 8 1 1 に接続されている。

【 0 3 0 7 】

記録媒体は、図 6 9 に示すように、コンピュータとは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク 8 4 1 (フロッピディスクを含む)、光ディスク 8 4 2 (CD-ROM (Compact Disc-Read

Only Memory)、DVD (Digital Versatile Disc)を含む)、光磁気ディスク 8 4 3 (MD (Mini-Disc)を含む)、若しくは半導体メモリ 8 4 4 などよりなるパッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記録されているROM 8 1 2 や、HDD 8 2 1 など構成される。

【0 3 0 8】

なお、本明細書において、記録媒体に格納されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0 3 0 9】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0 3 1 0】

【発明の効果】

請求項 1 に記載の情報処理装置、請求項 2 に記載の情報処理方法、および請求項 3 に記載の記録媒体によれば、欠落したデータを含む第 1 のデータに関する第 2 のデータを基に、クラスコードが生成され、クラスコードを基に、第 1 のデータへの変換で使用する所定の数の第 3 のデータが指定され、クラスコードによって指定された記憶している変換情報を基に、データ指定ステップの処理で指定された所定の数の第 3 のデータが、欠落したデータを含む第 1 のデータに変換されるようにしたので、データを創造し、再生されたデータの違和感を無くすることができる。

【図面の簡単な説明】

【図 1】

画像を送信する画像伝送システムを説明する図である。

【図 2】

本発明に係る送信装置 1 の一実施の形態の構成を示すブロック図である。

【図 3】

送信装置 1 に入力された画像信号が圧縮される過程を説明する図である。

【図 4】

間引きフィルタ 4 3 の構成を示すブロック図である。

【図 5】

ラッチ回路 8 1 の出力を説明する図である。

【図 6】

ラッチ回路 8 4 の出力を説明する図である。

【図 7】

UV 垂直 1 / 2 回路 4 5 の構成を示すブロック図である。

【図 8】

ラッチ回路 9 4 の出力を説明する図である。

【図 9】

符号化回路 1 5 の構成を示すブロック図である。

【図 1 0】

処理の単位を説明する図である。

【図 1 1】

ADRC ブロックを説明する図である。

【図 1 2】

フレーム内の画素と ADRC ブロックの関係を示す図である。

【図 1 3】

フレーム内の画素と ADRC ブロックの関係を示す図である。

【図 1 4】

フレーム内の画素と ADRC ブロックの関係を示す図である。

【図 1 5】

Y データの ADRC ブロックおよびセグメントを説明する図である。

【図 1 6】

U データまたは V データの ADRC ブロックおよびセグメントを説明する図である。

【図 1 7】

A D R C ブロック単位で行われるシャフルを説明する図である。

【図 1 8】

セグメントを説明する図である。

【図 1 9】

A D R C 符号化回路 1 0 3 の構成を説明する図である。

【図 2 0】

情報量制御回路 1 6 4 の構成を説明する図である。

【図 2 1】

情報量制御回路 1 6 4 の構成を説明する図である。

【図 2 2】

セグメント間シャフル回路 1 0 4 のシャフルの仕方を説明する図である。

【図 2 3】

セグメント間シャフル回路 1 0 4 のシャフルの仕方を説明する図である。

【図 2 4】

セグメント間シャフル回路 1 0 4 のシャフルの仕方を説明する図である。

【図 2 5】

セグメント間シャフル回路 1 0 4 のシャフルの仕方を説明する図である。

【図 2 6】

パケットの構成を示す図である。

【図 2 7】

送信装置 1 の画像の送信の処理を説明する図である。

【図 2 8】

受信装置 2 の構成を示すブロック図である。

【図 2 9】

画像が伸張される過程を説明する図である。

【図 3 0】

復号回路 3 0 4 のブロック図である。

【図 3 1】

q ビット M F リカバリ回路 3 5 3 の構成を示すブロック図である。

【図 3 2】

ダイナミックレンジDRまたは画素値の最小値MINのリカバリの処理を説明する図である。

【図 3 3】

ダイナミックレンジDRまたは画素値の最小値MINのリカバリの処理を説明する図である。

【図 3 4】

ダイナミックレンジDRまたは画素値の最小値MINのリカバリの処理を説明する図である。

【図 3 5】

セグメント間デシャフル回路 3 5 2 から出力されるデータに欠落がない場合の、復号回路 3 0 4 の処理のタイミングの例を示す図である。

【図 3 6】

セグメント間デシャフル回路 3 5 2 から出力されるデータに欠落がある場合の、復号回路 3 0 4 の処理のタイミングの例を示す図である。

【図 3 7】

従来のデータの記憶の方法を示す図である。

【図 3 8】

ブロックデシャフル回路 3 5 6 のデータの出力のタイミングを説明する図である。

【図 3 9】

リカバリエラー判定回路 3 5 7 の構成を示すブロック図である。

【図 4 0】

リカバリエラー判定回路 3 5 7 が、“ 1 ” が設定されたりカバリ判定フラグFdを出力するときの、ブロックデシャフル回路 3 5 6 の処理を説明する図である。

【図 4 1】

セグメント間デシャフル回路 3 5 3 が、連続エラー信号を出力するときの、ブロックデシャフル回路 3 5 6 の処理を説明する図である。

【図 4 2】

グレイモードにおけるブロックデシャフル回路 3 5 6 の処理を説明する図である。

【図 4 3】

ブロックデシャフル回路 3 5 6 のリカバリオフ入力に対応した処理を説明する図である

【図 4 4】

ブロックデシャフル回路 3 5 6 のリカバリオフ入力に対応した処理を説明する図である

【図 4 5】

ブロックデシャフル回路 3 5 6 のエスケープ信号に対応した処理を説明する図である。

【図 4 6】

ブロックデシャフル回路 3 5 6 の復号したデータを出力する処理を説明するフローチャートである。

【図 4 7】

ブロックデシャフル回路 3 5 6 の復号したデータを出力する処理を説明するフローチャートである。

【図 4 8】

リカバリオフ入力が” 1 ” であるときのブロックデシャフル回路 3 5 6 のデータを出力する処理を説明するフローチャートである。

【図 4 9】

欠落画素創造回路 3 0 8 の処理に使用される画素を説明する図である。

【図 5 0】

欠落画素創造回路 3 0 8 の構成を示すブロック図である。

【図 5 1】

前処理回路 5 0 1 の処理を説明するフローチャートである。

【図 5 2】

時間アクティビティの算出に使用される画素の例を示す図である。

【図 5 3】

空間アクティビティの算出に使用される画素の例を示す図である。

【図 5 4】

動き判定の閾値を説明する図である。

【図 5 5】

静動判定回路 5 2 1 の動きクラスコードを設定する処理を説明するフローチャートである。

【図 5 6】

動きクラスコードの多数決判定に使用される画素の例を示す図である。

【図 5 7】

動きクラス生成回路 5 0 3 の動きクラスコードを設定する処理を説明するフローチャートである。

【図 5 8】

可変タップ選択回路 5 0 8 が選択する予測タップデータ列を説明する図である。

【図 5 9】

可変タップ選択回路 5 0 8 が選択する予測タップデータ列を説明する図である。

【図 6 0】

可変タップ選択回路 5 0 8 が選択する予測タップデータ列を説明する図である。

【図 6 1】

可変タップ選択回路 5 0 8 が選択する予測タップデータ列を説明する図である。

【図 6 2】

4 倍密解像度創造回路 3 1 2 の処理に使用される画素の位置を説明する図である。

【図 6 3】

4 倍密解像度創造回路 3 1 2 の構成を示すブロック図である。

【図 6 4】

4 倍密解像度創造回路 3 1 2 がインターレース方式で出力する場合の 4 倍密解像度創造回路 3 1 2 に入力される画素の位置および 4 倍密解像度創造回路 3 1 2 が出力する画素の位置を示す図である。

【図 6 5】

4 倍密解像度創造回路 3 1 2 がプログレッシブ方式で出力する場合の 4 倍密解像度創造回路 3 1 2 に入力される画素の位置および 4 倍密解像度創造回路 3 1 2 が出力する画素の位置を示す図である。

【図 6 6】

UV 垂直 2 倍回路 3 3 3 の構成を示すブロック図である。

【図 6 7】

ラッチ回路 7 0 4 の出力を説明する図である。

【図 6 8】

受信装置 2 の受信の処理を説明するフローチャートである。

【図 6 9】

記録媒体およびコンピュータの例を説明する図である。

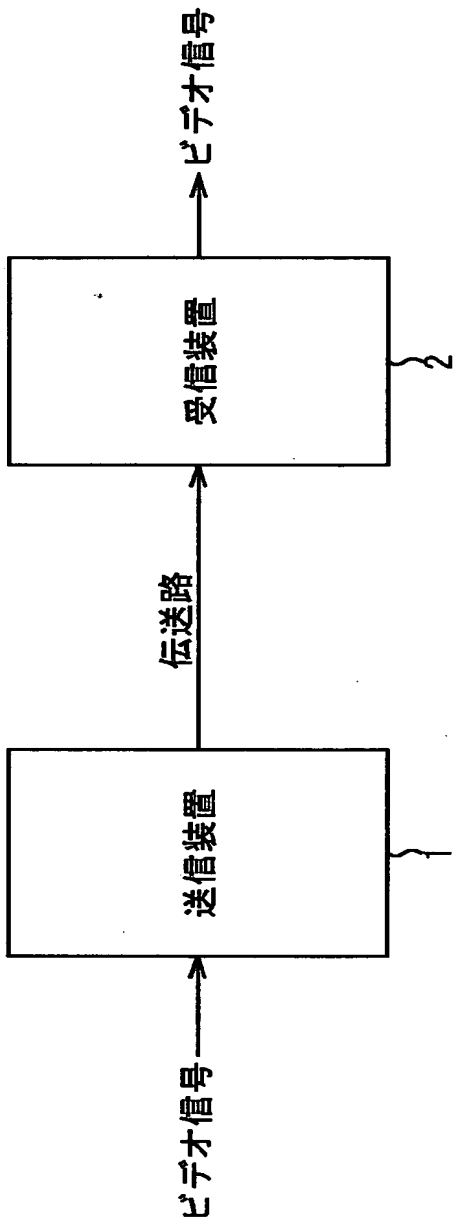
【符号の説明】

1 送信装置, 2 受信装置, 1 3 間引き部, 1 5 符号化回路,
1 7 パケット化回路, 4 2 A/D 変換回路, 4 3 間引きフィルタ,
4 5 UV 垂直 1/2 回路, 1 0 2 ブロックシャフル回路, 1 0 3 AD
RC 符号化回路, 1 0 4 セグメント間シャフル回路, 1 6 4 情報量制御
回路, 1 7 1 ADRC エンコーダ, 3 0 2 パケット解体回路, 3 0 4
復号回路, 3 0 5 外部メモリ, 3 0 8 欠落画素創造回路, 3 1 2
4 倍密解像度創造回路, 3 3 3 UV 垂直 2 倍回路, 3 3 5 D/A 変換回
路, 3 5 2 セグメント間デシャフル回路, 3 5 3 q ビット MF リカバリ
回路, 3 5 4 DRMIN リカバリ回路, 3 5 5 ADRC 復号回路, 3
5 6 ブロックデシャフル回路, 3 5 7 リカバリエラー判定回路, 5 0 1
前処理回路, 5 0 2 - 1 乃至 5 0 2 - 5 タップ構築回路, 5 0 3 動き
クラス生成回路, 5 0 4 DR クラス生成回路, 5 0 5 空間クラス生成回

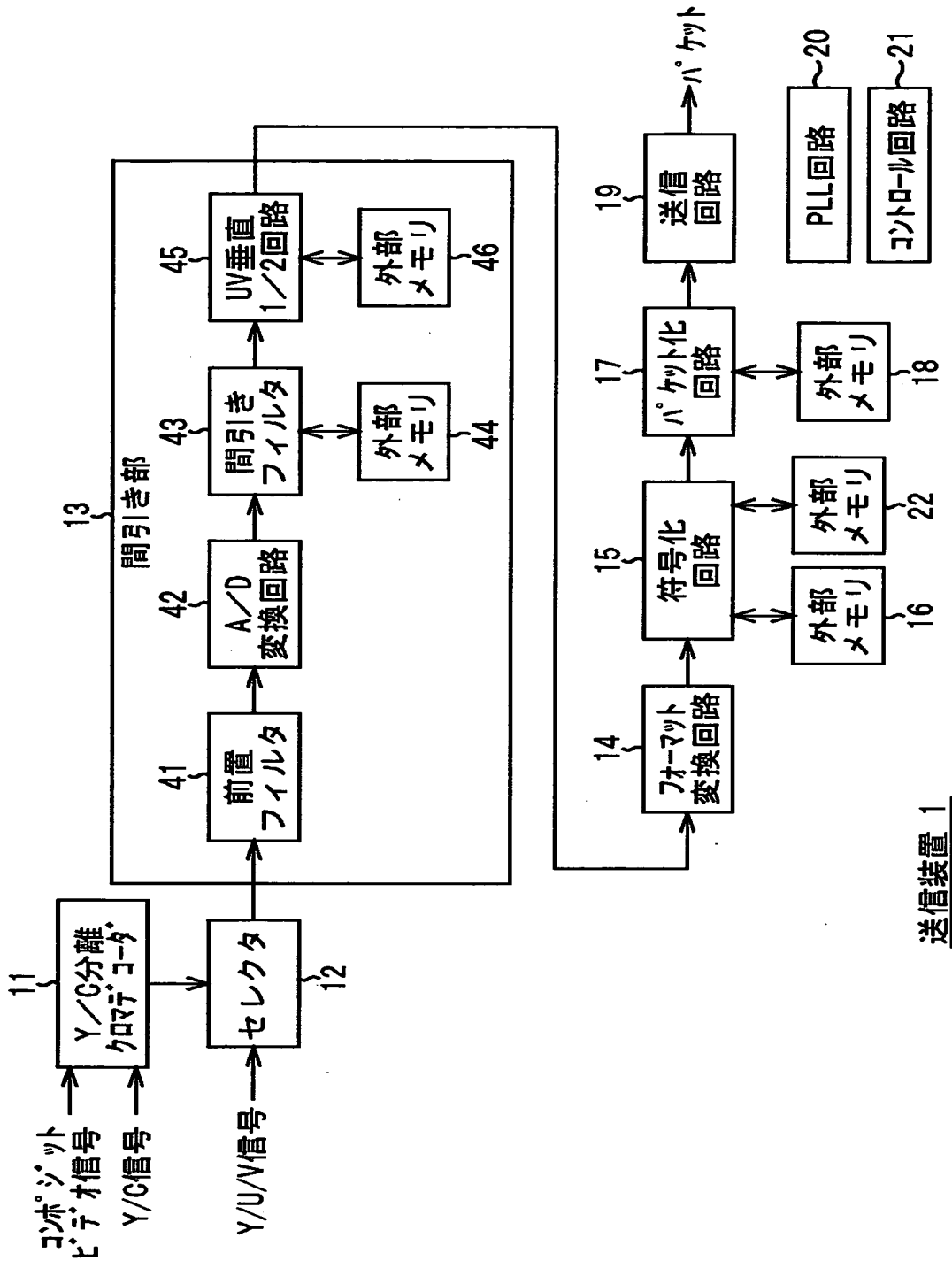
路, 5 0 6 欠落クラス生成回路, 5 0 7 クラス合成回路, 5 0 8 可
変タップ選択回路, 5 0 9 係数保持クラスコード選択回路, 5 1 0 推定
予測演算回路

【書類名】図面

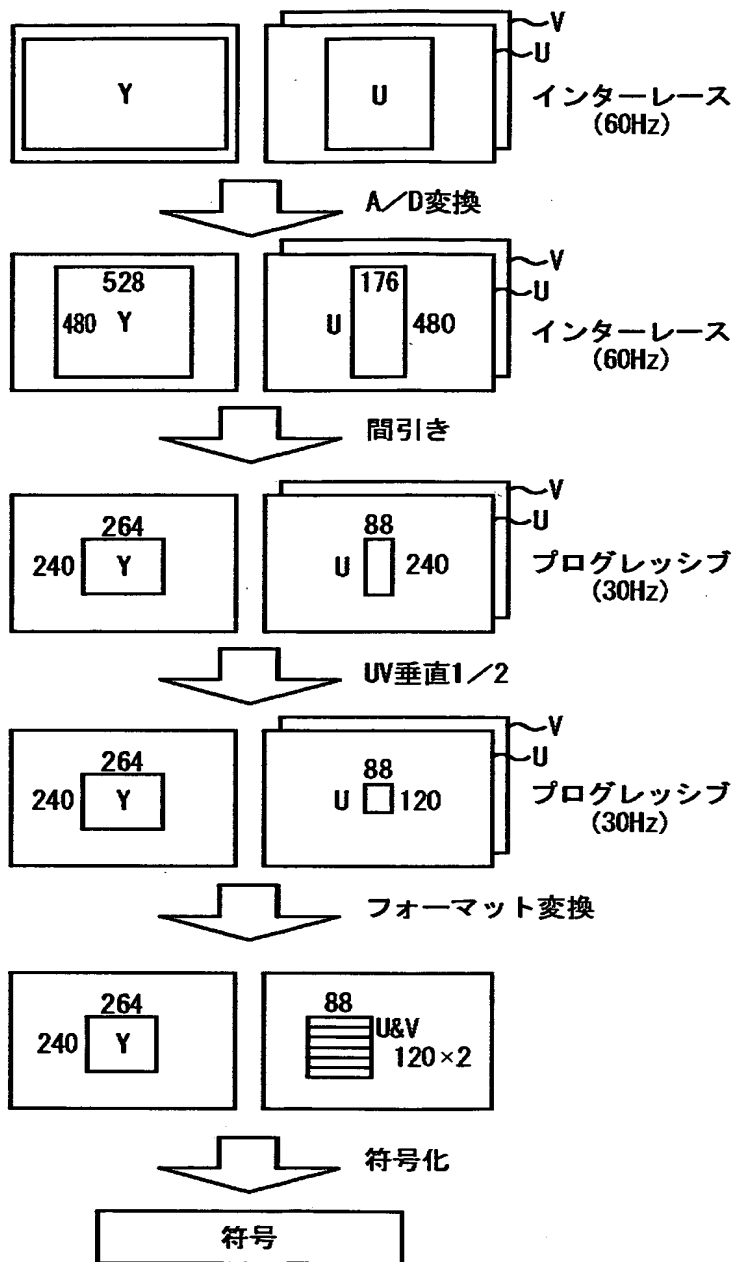
【図 1】



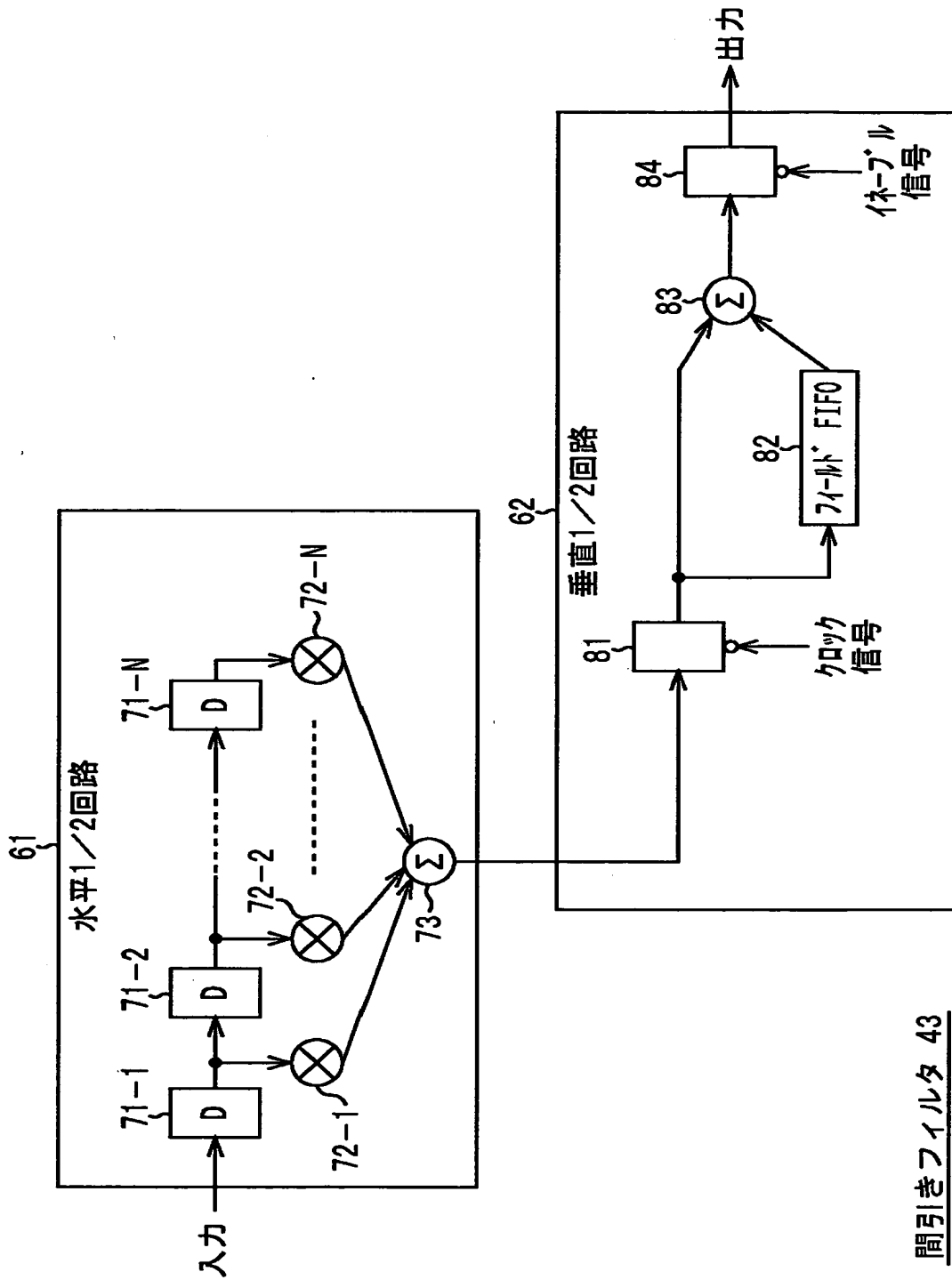
【図 2】



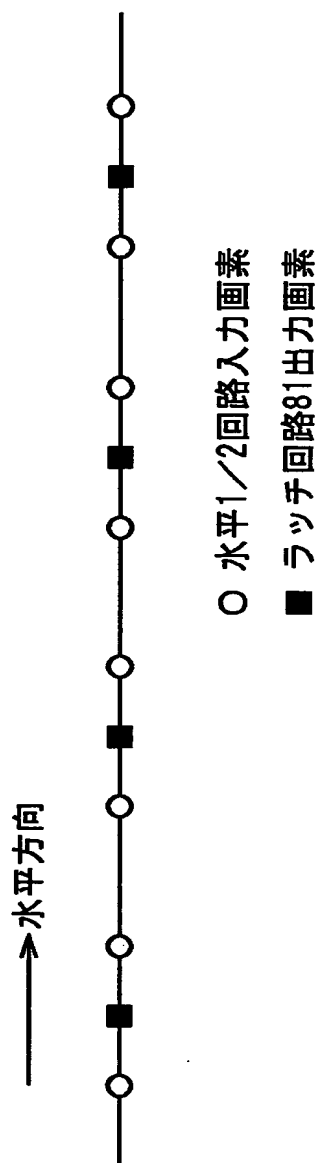
【図 3】



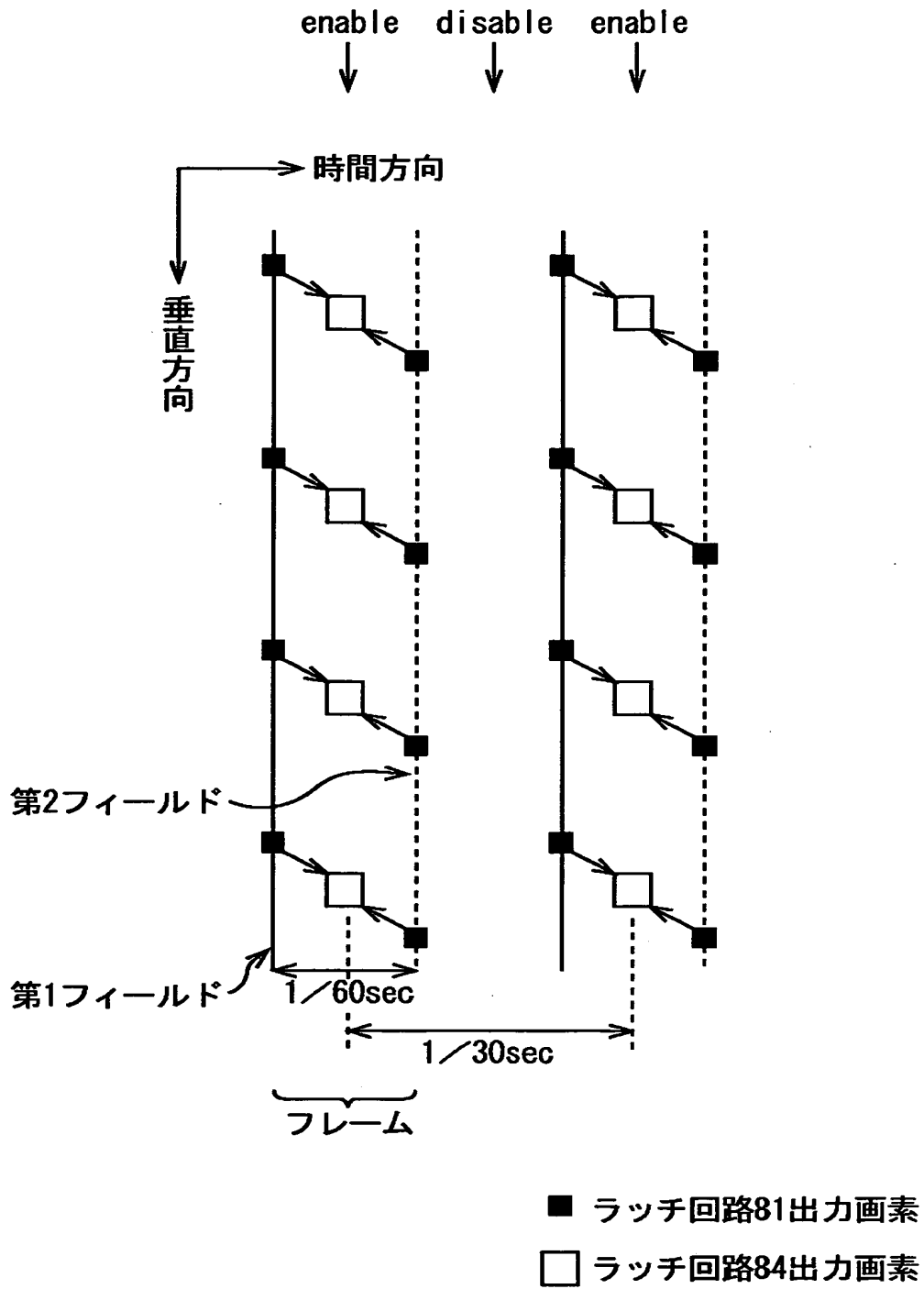
【図4】



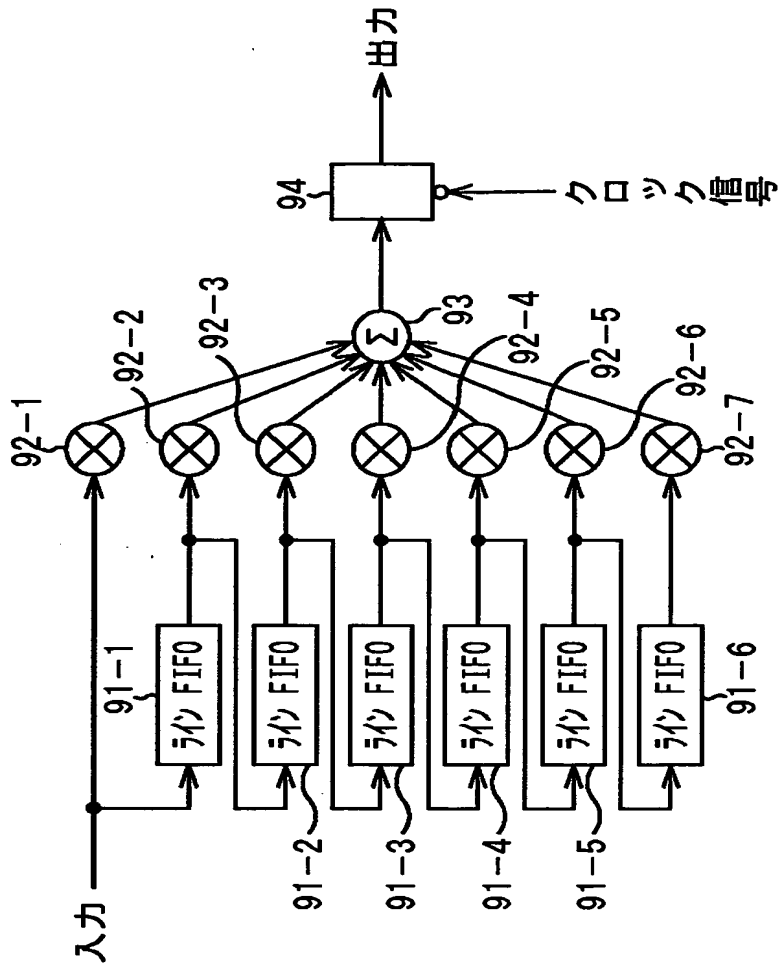
【図 5】



【図 6】

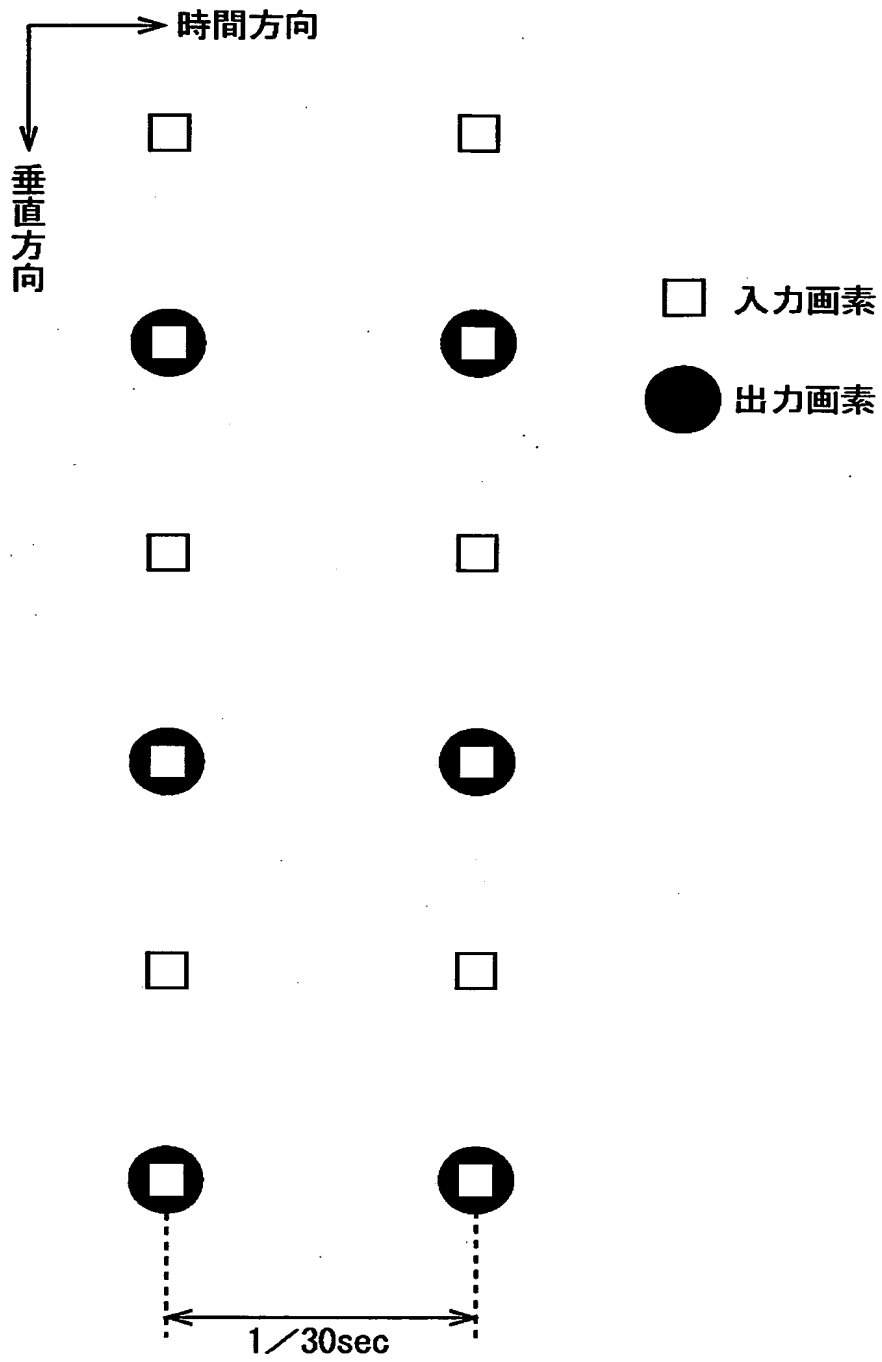


【図 7】

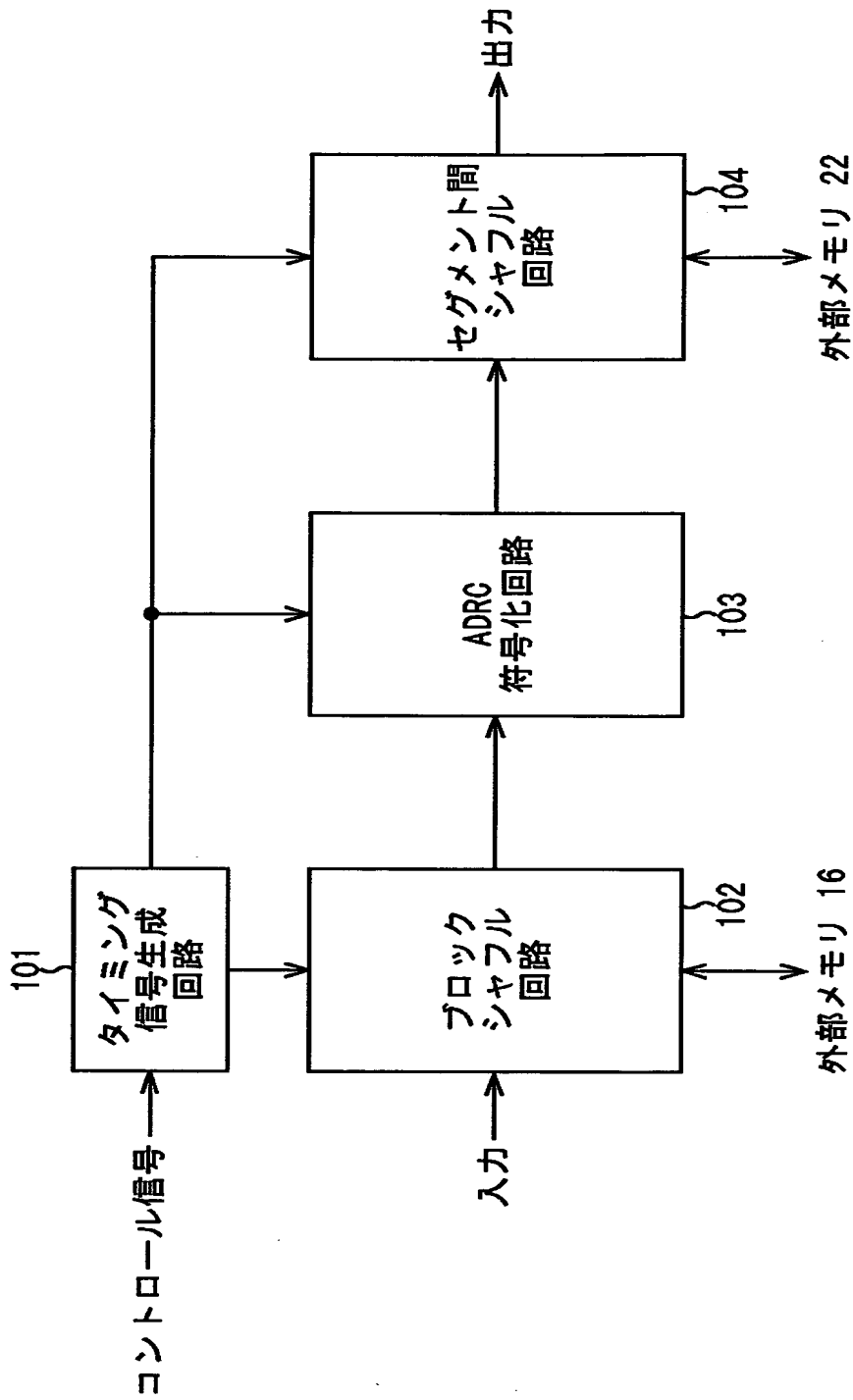


UV垂直1/2回路 45

【図 8】

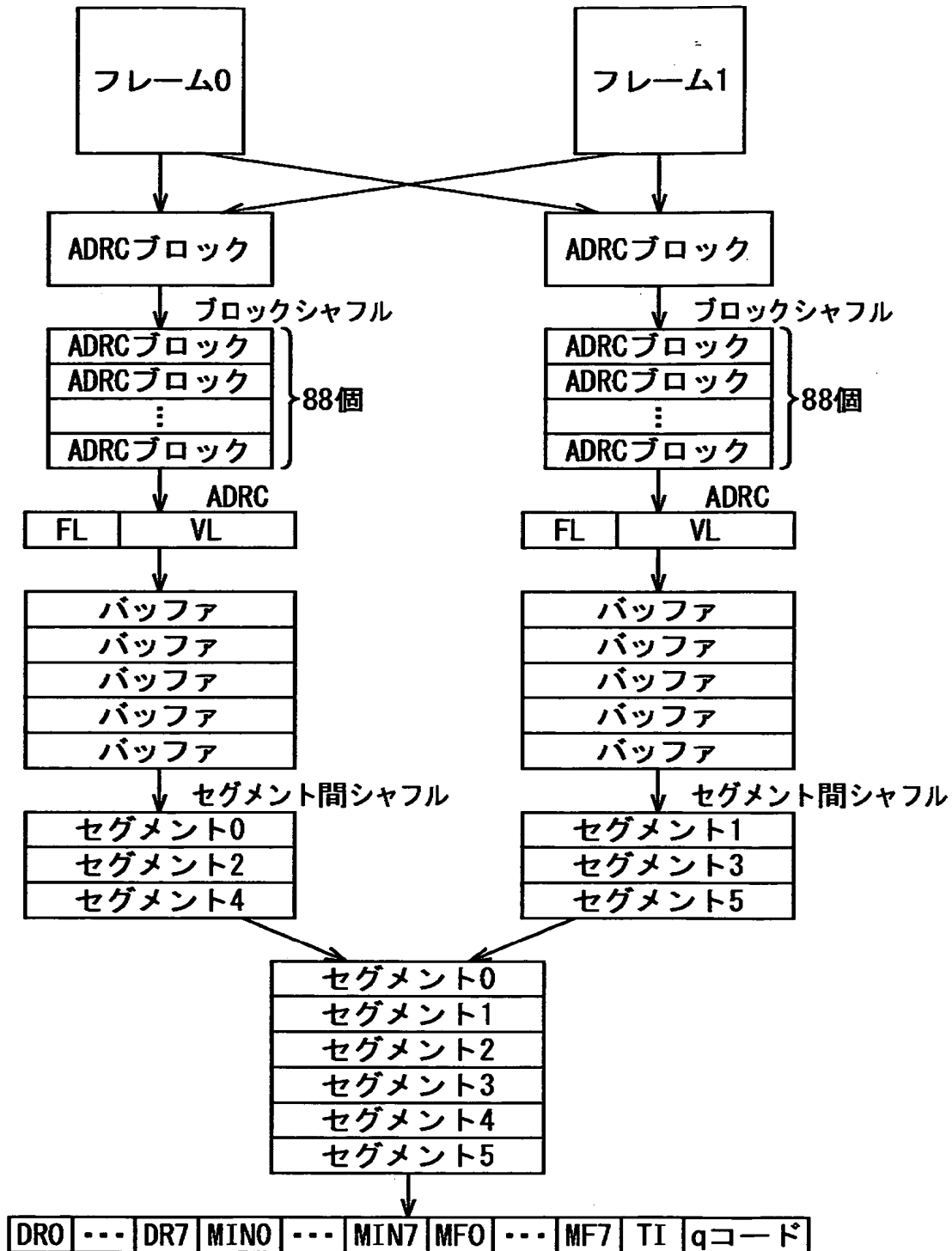


【図 9】

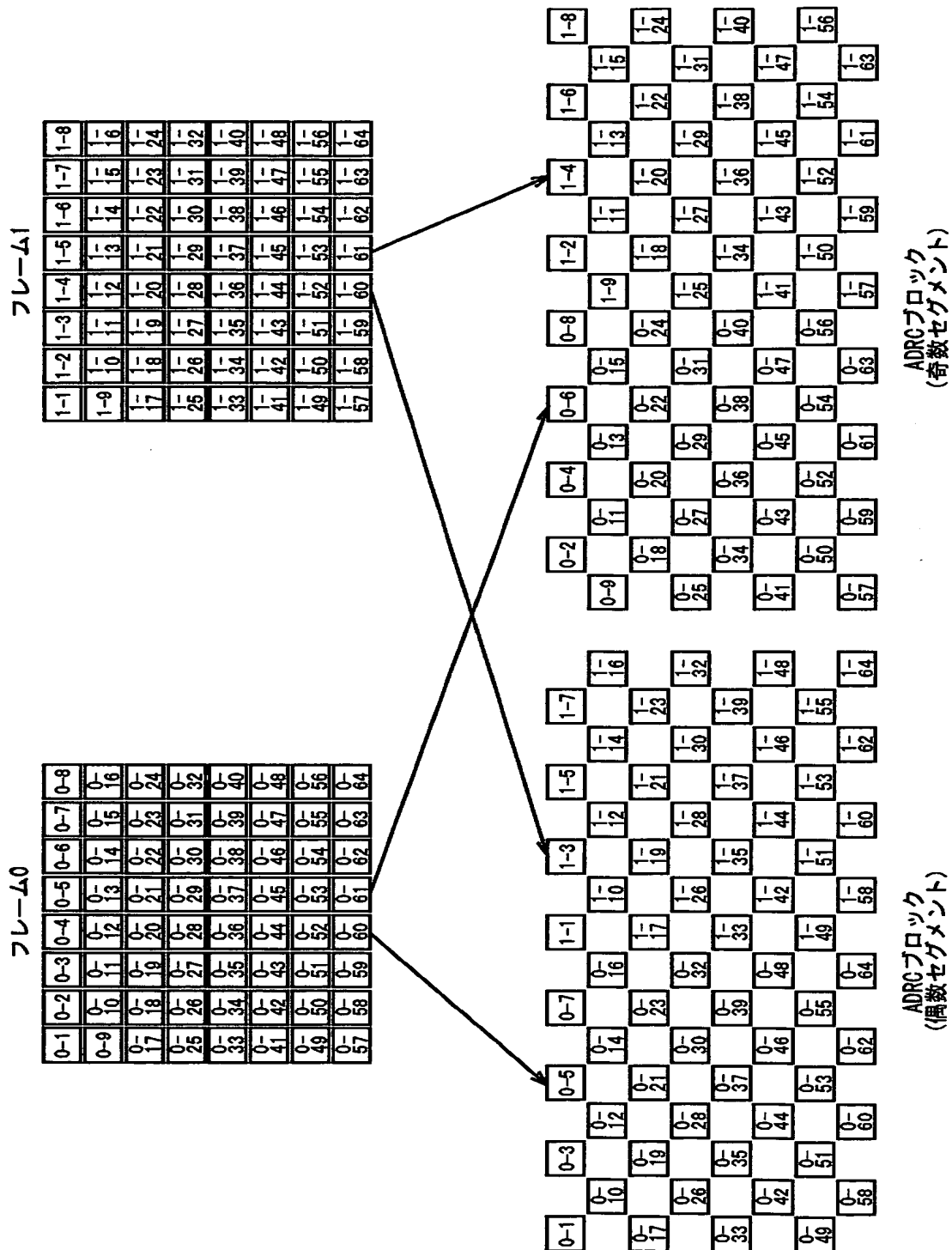


符号化回路 15

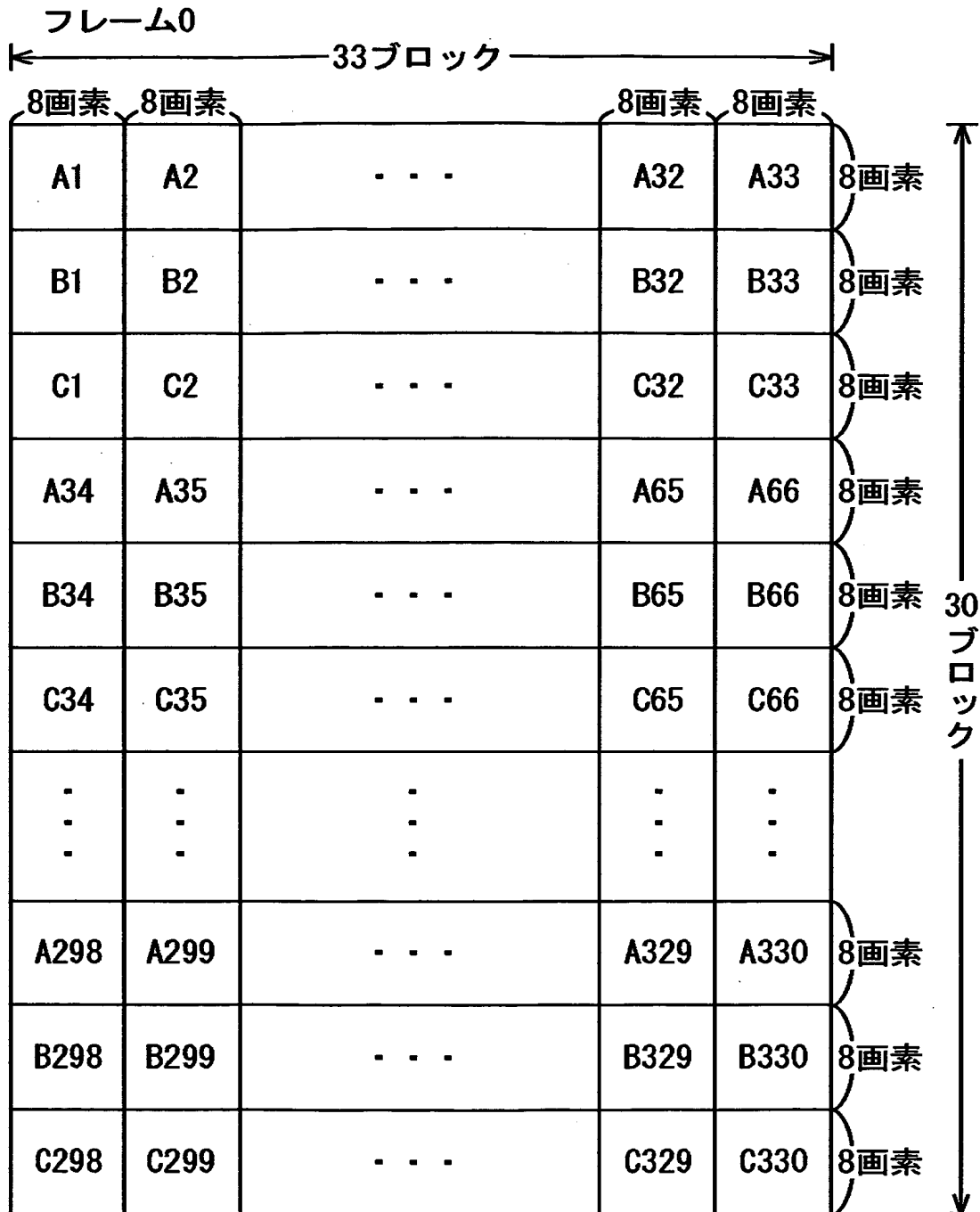
【図10】



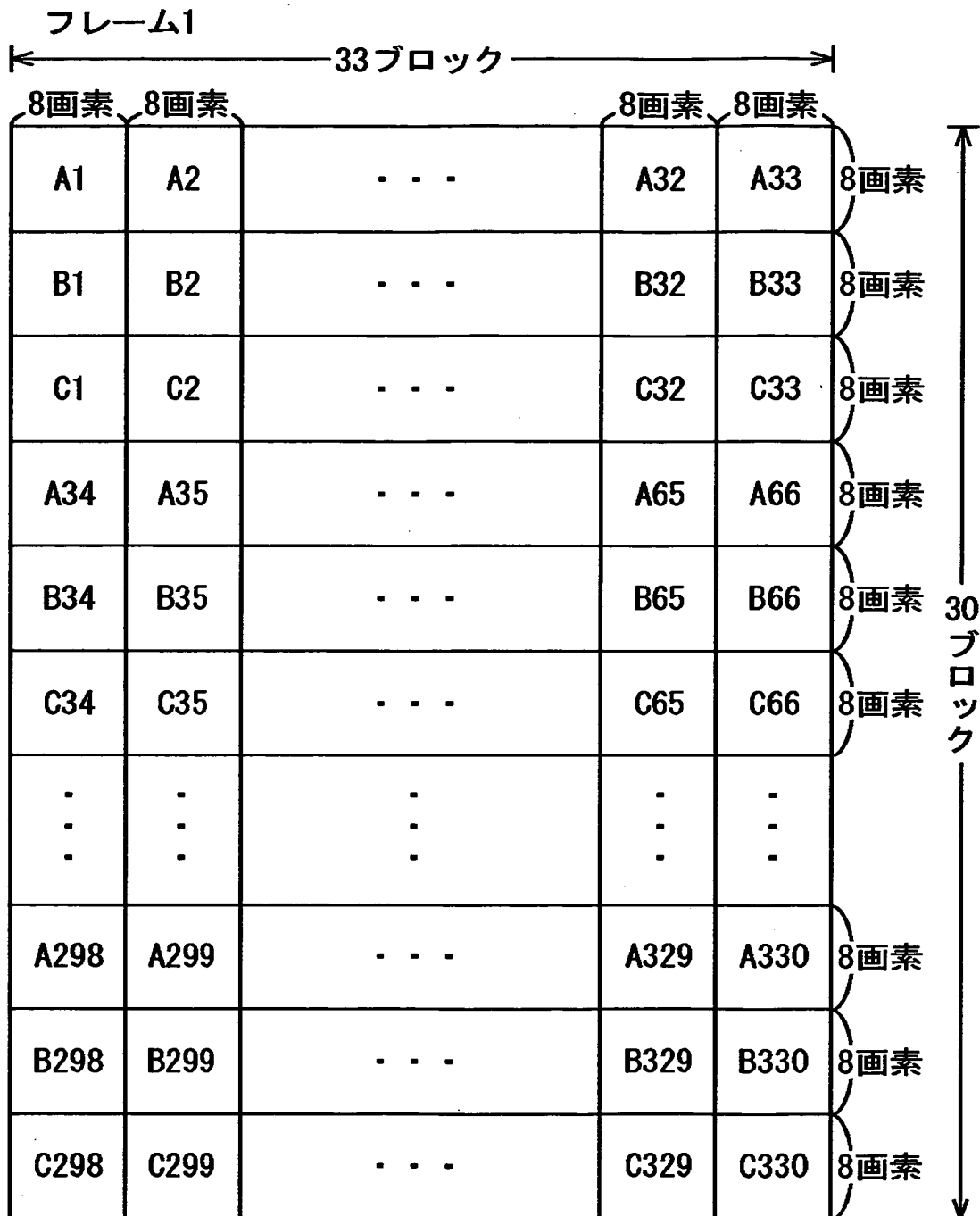
【図 11】



【図 1 2】



【図 1 3】



【図14】

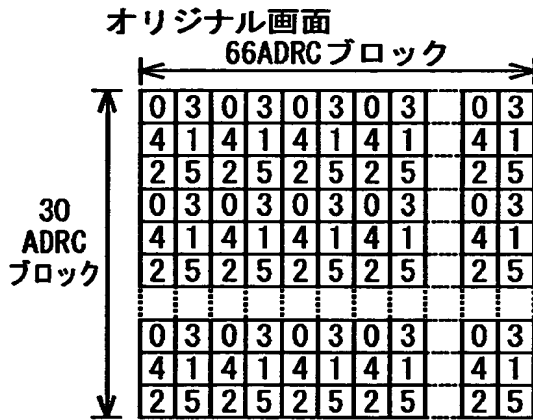
ADRCブロック 0	ADRCブロック 3	ADRCブロック 0	ADRCブロック 3
ADRCブロック 4	ADRCブロック 1	ADRCブロック 4	ADRCブロック 1
ADRCブロック 2	ADRCブロック 5	ADRCブロック 2	ADRCブロック 5
ADRCブロック 0	ADRCブロック 3	ADRCブロック 0	ADRCブロック 3
ADRCブロック 4	ADRCブロック 1	ADRCブロック 4	ADRCブロック 1
ADRCブロック 2	ADRCブロック 5	ADRCブロック 2	ADRCブロック 5

...

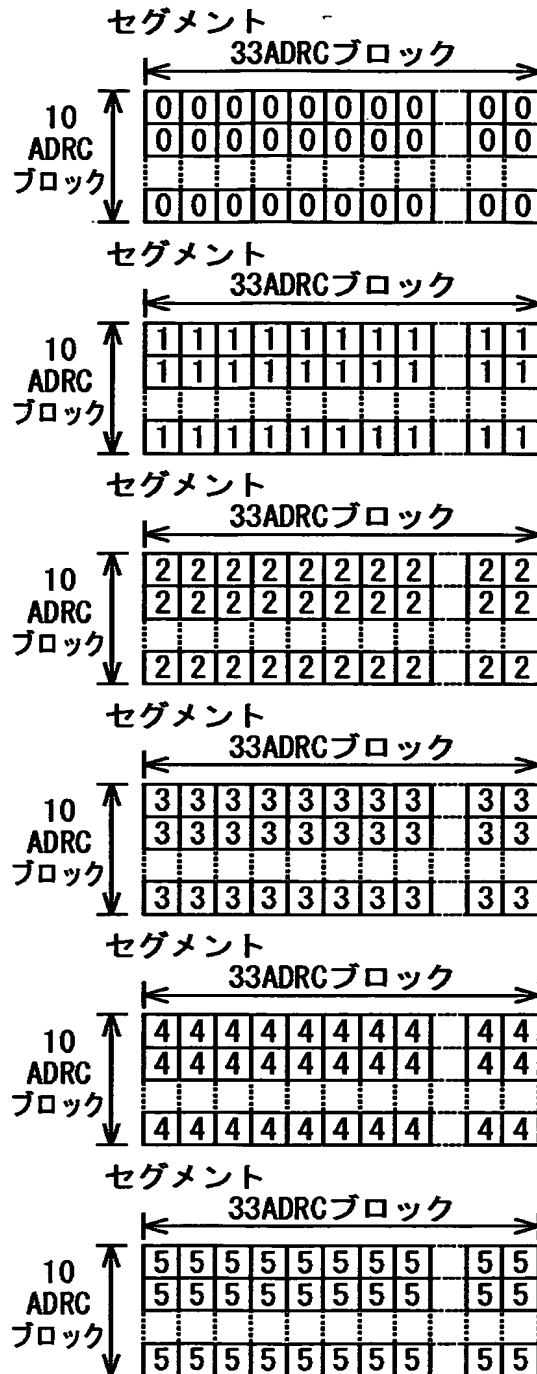
...

【図 1 5】

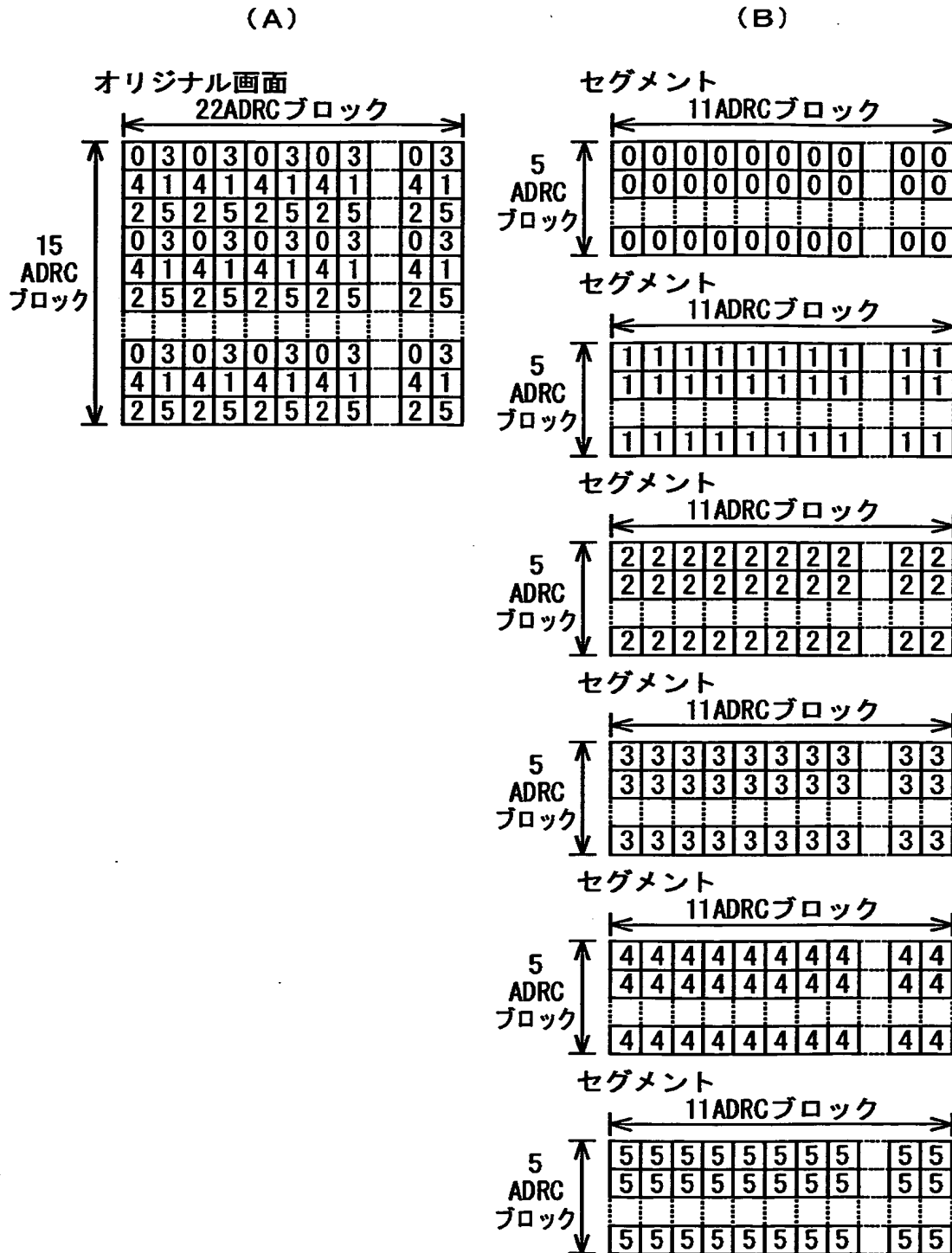
(A)



(B)



【図 1 6】



【図 1 7】

y0	y221	y112	y3	y224		y142
y33	y254	y145	y36	y257		y175
y297	y188	y79	y300	y191		y109

(B)

u54	u53	u52	u51	u50		u44
u43	u42	u41	u40	u39		u33
u10	u9	u8	u7	u6		u0

(D)

v54	v53	v52	v51	v50		v44
v43	v42	v41	v40	v39		v33
v10	v9	v8	v7	v6		v0

(F)

y0	y1	y2	y3	y4		y32
y33	y34	y35	y36	y37		y65
y297	y298	y299	y300	y301		y329

(A)

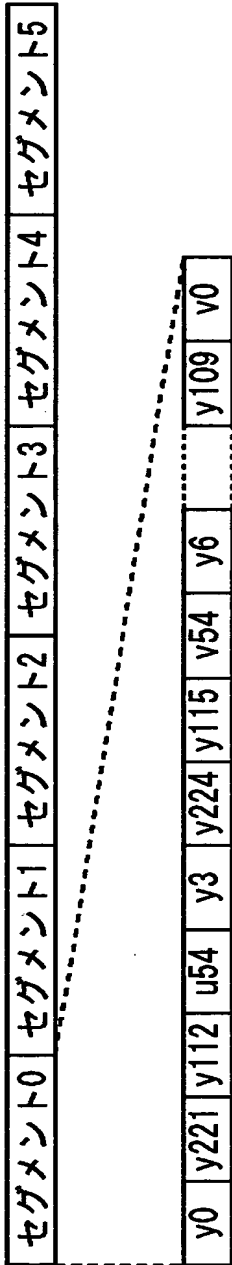
u0	u1	u2	u3	u4		u10
u11	u12	u13	u14	u15		u21
u44	u45	u46	u47	u48		u54

(C)

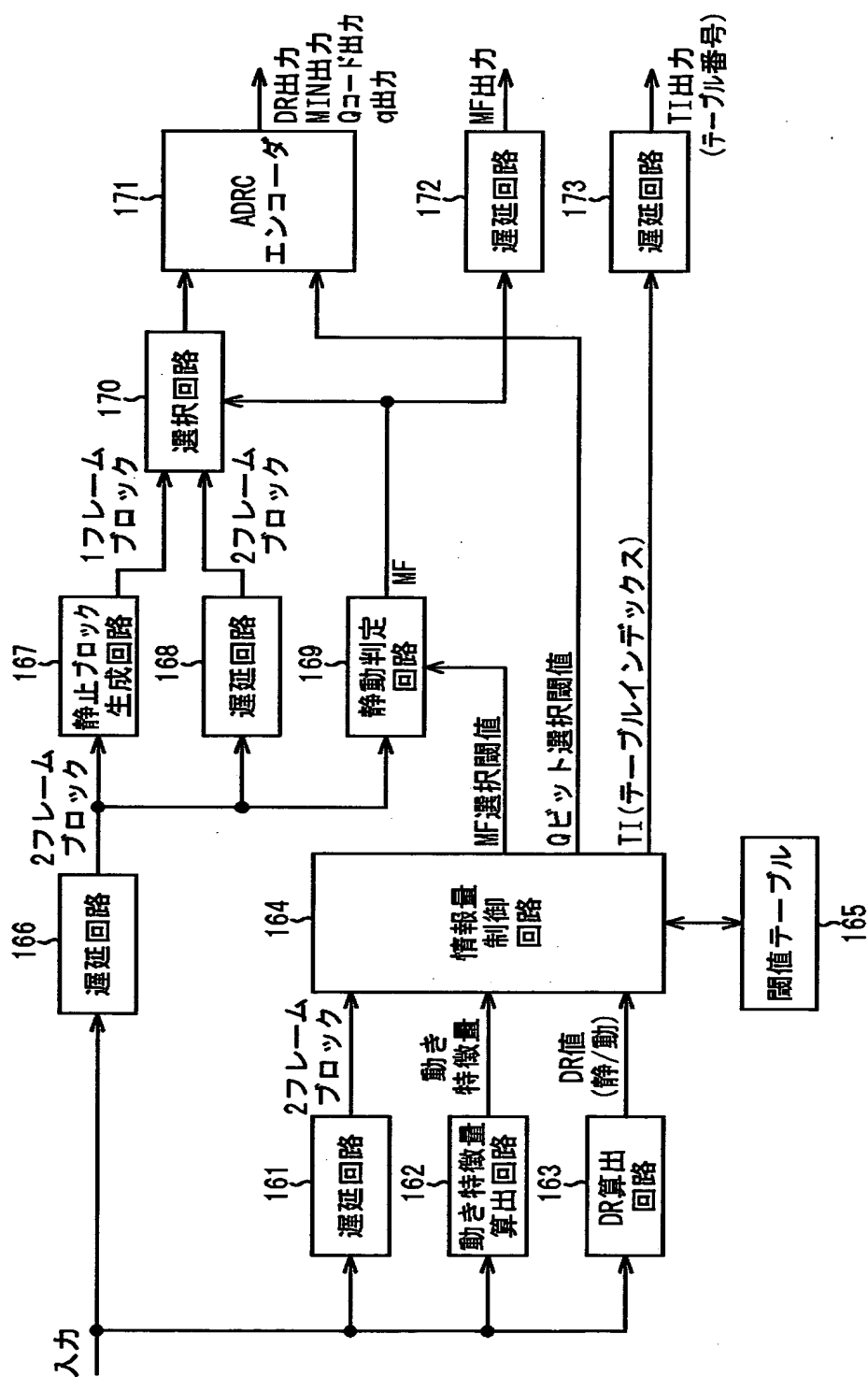
v0	v1	v2	v3	v4		v10
v11	v12	v13	v14	v15		v21
v44	v45	v46	v47	v48		v54

(E)

【図 1 8】

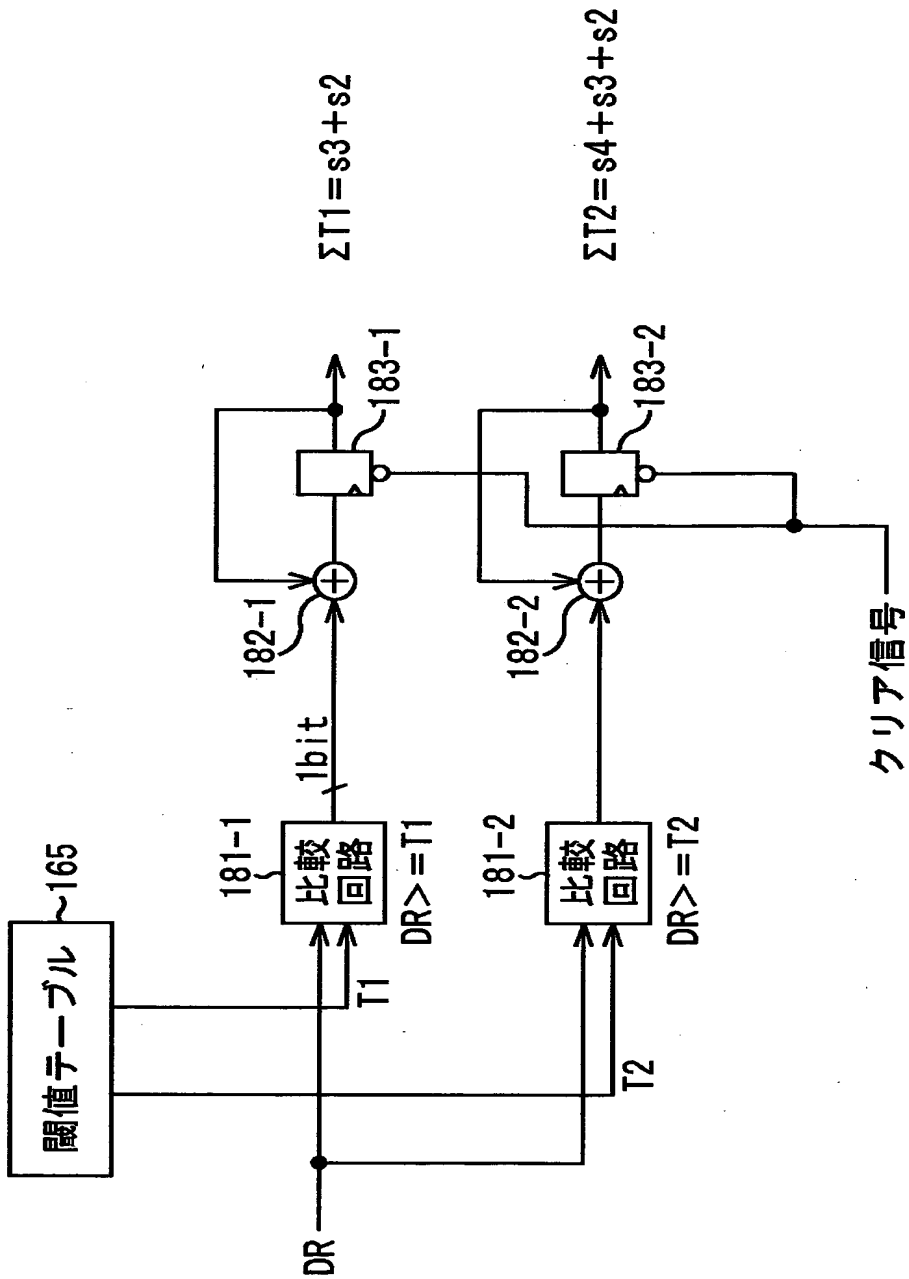


【図 19】

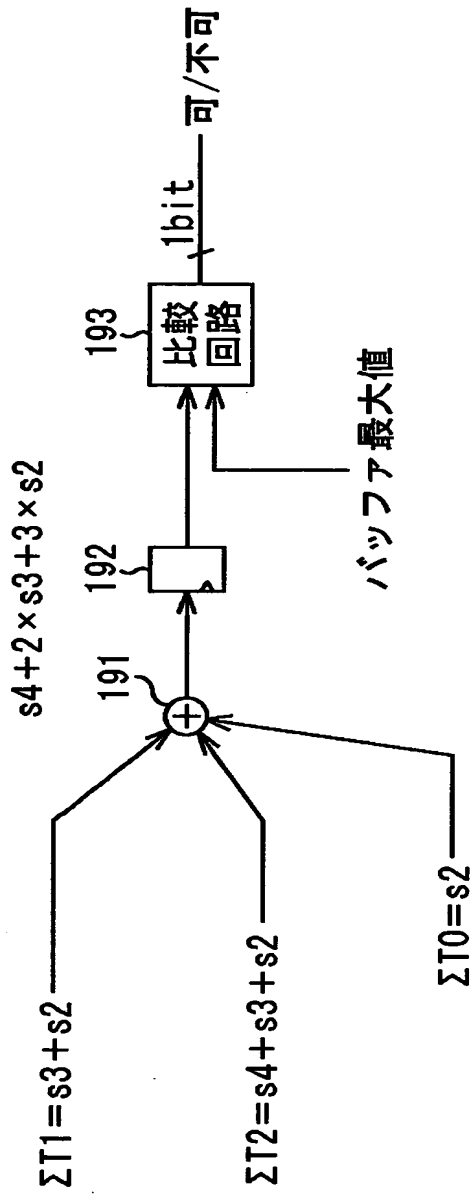


ADRC符号化回路 103

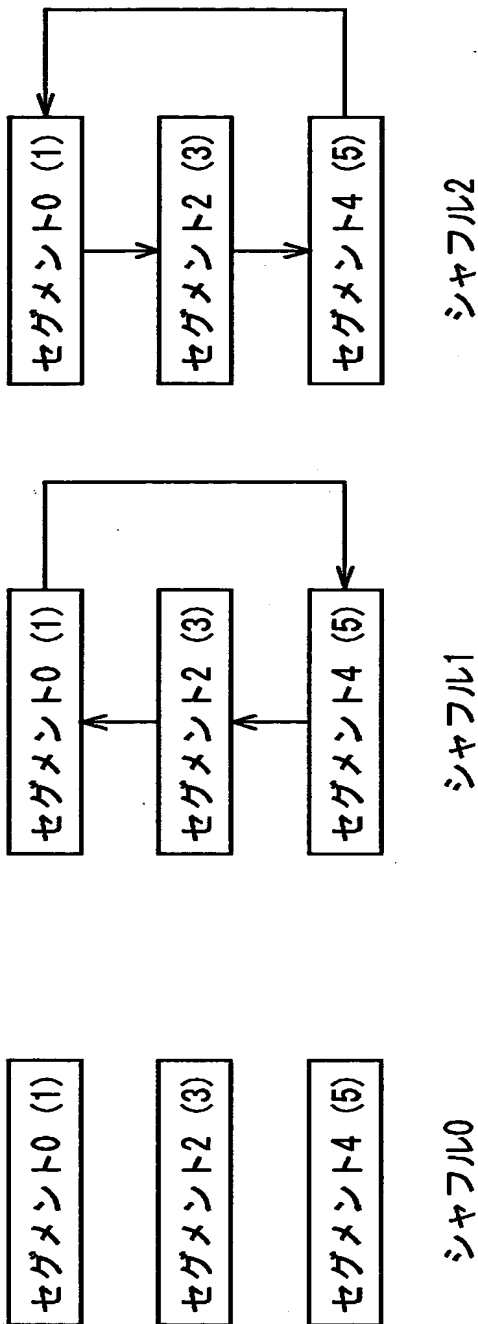
【図 2 0】



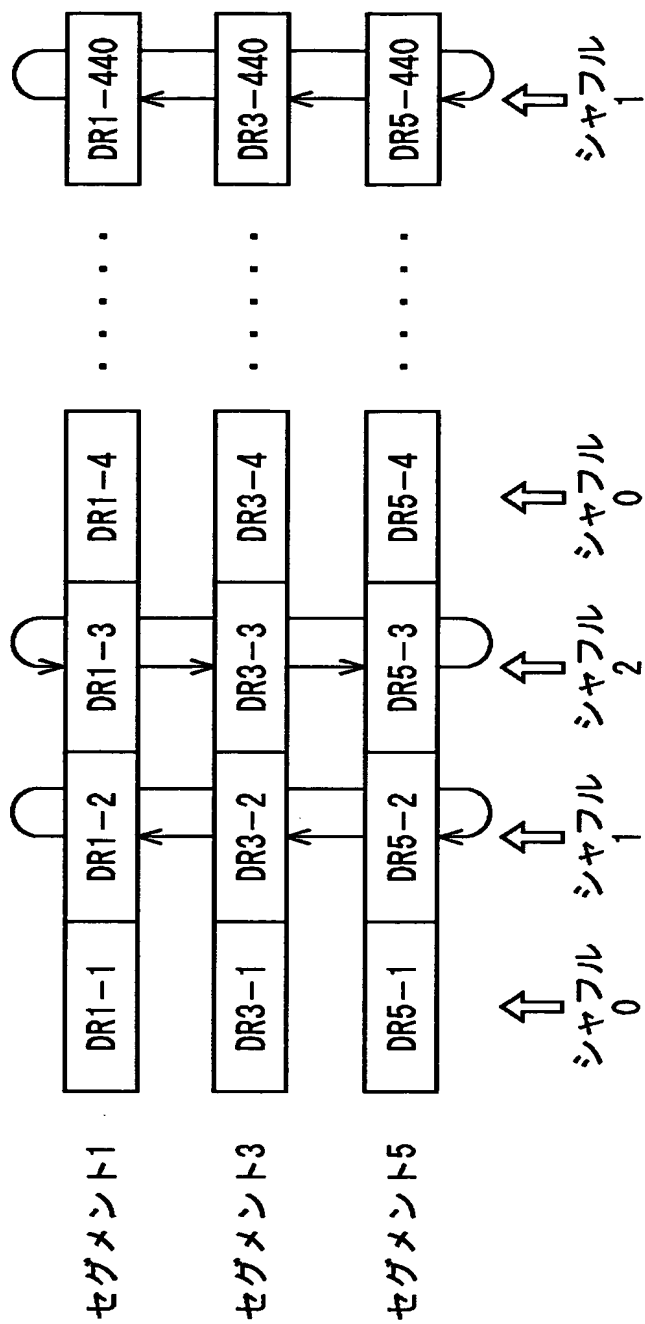
【図 2 1】



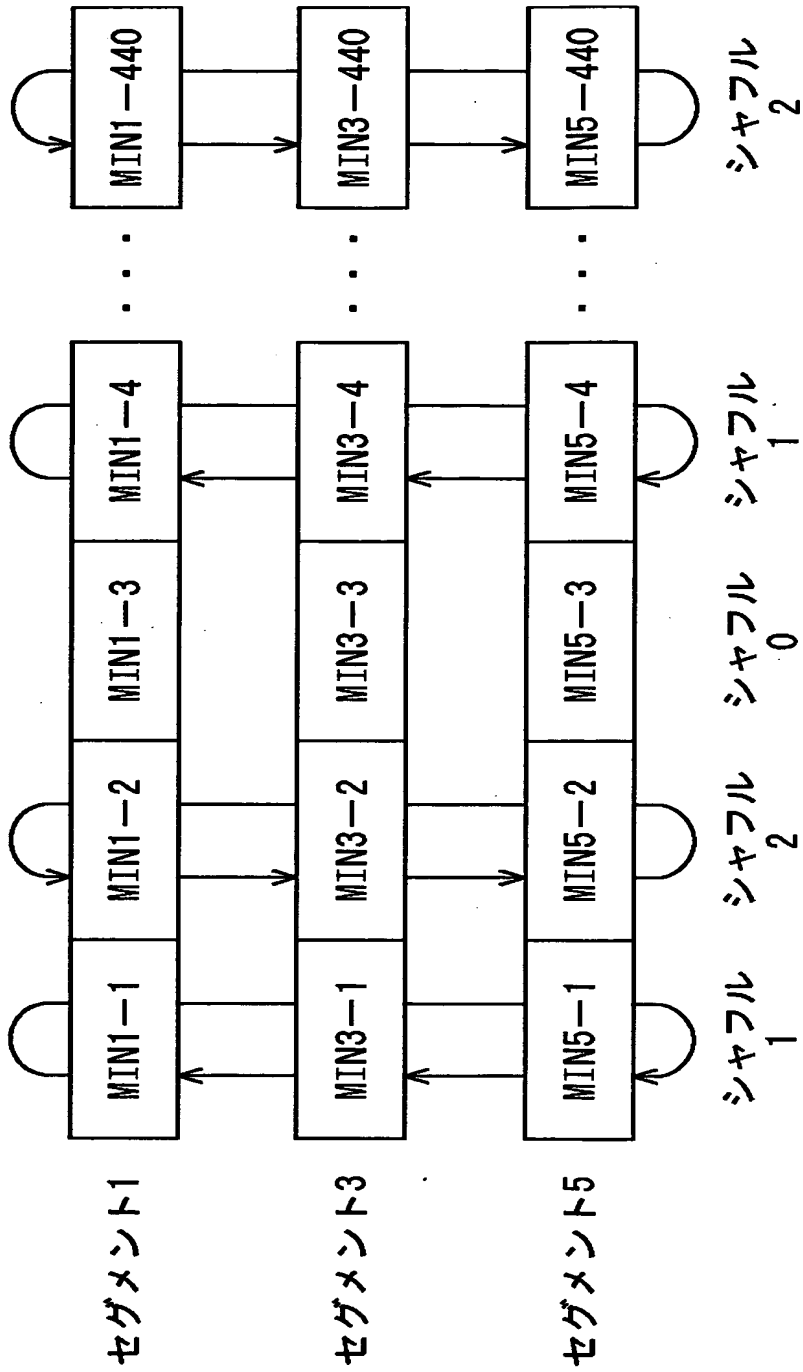
【図 2 2】



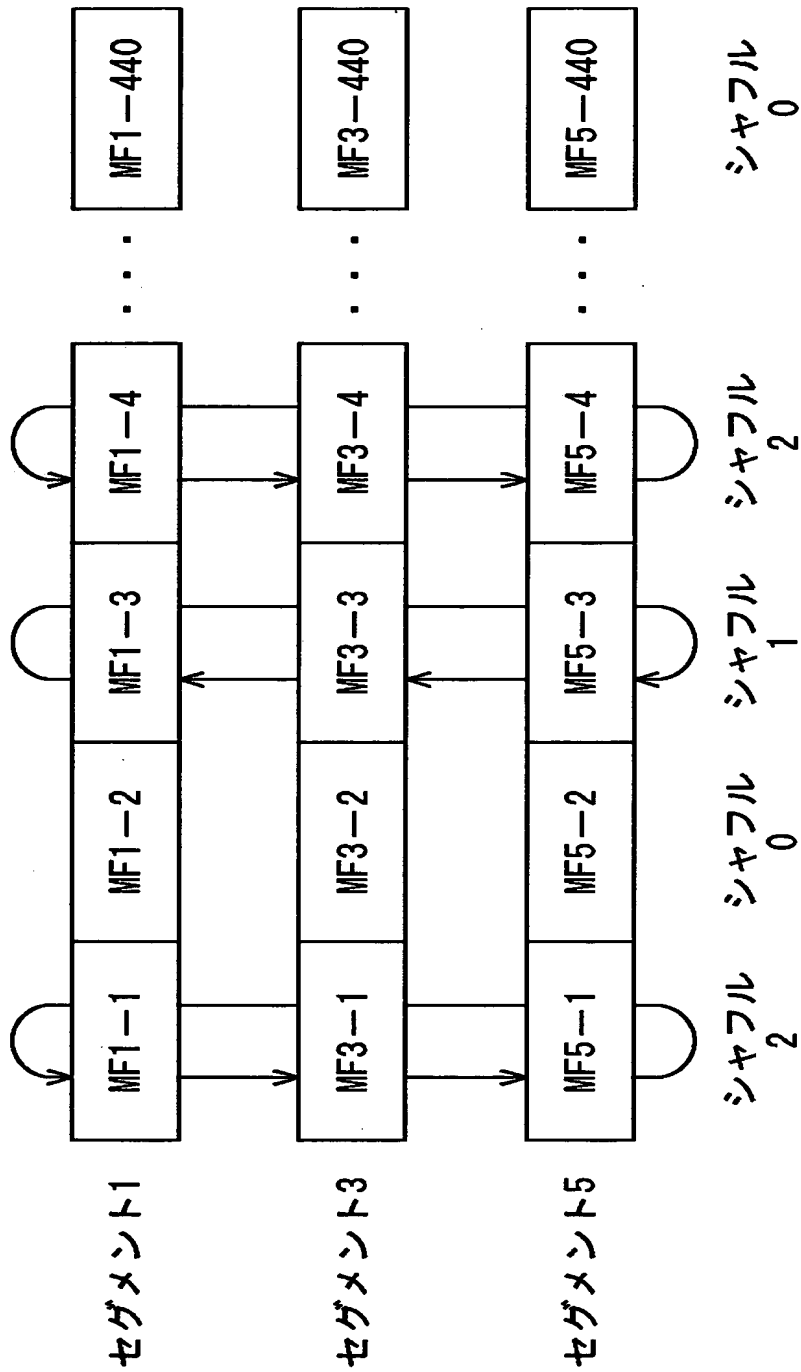
【図 2 3】



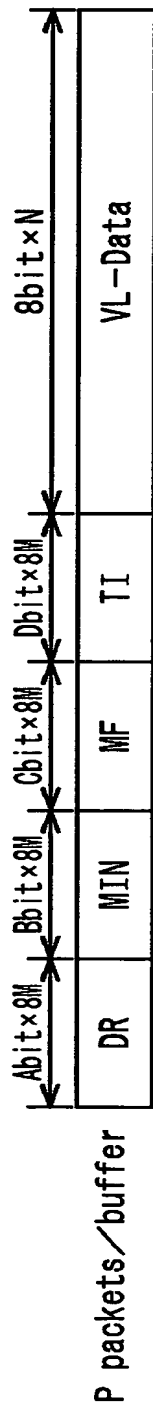
【図 24】



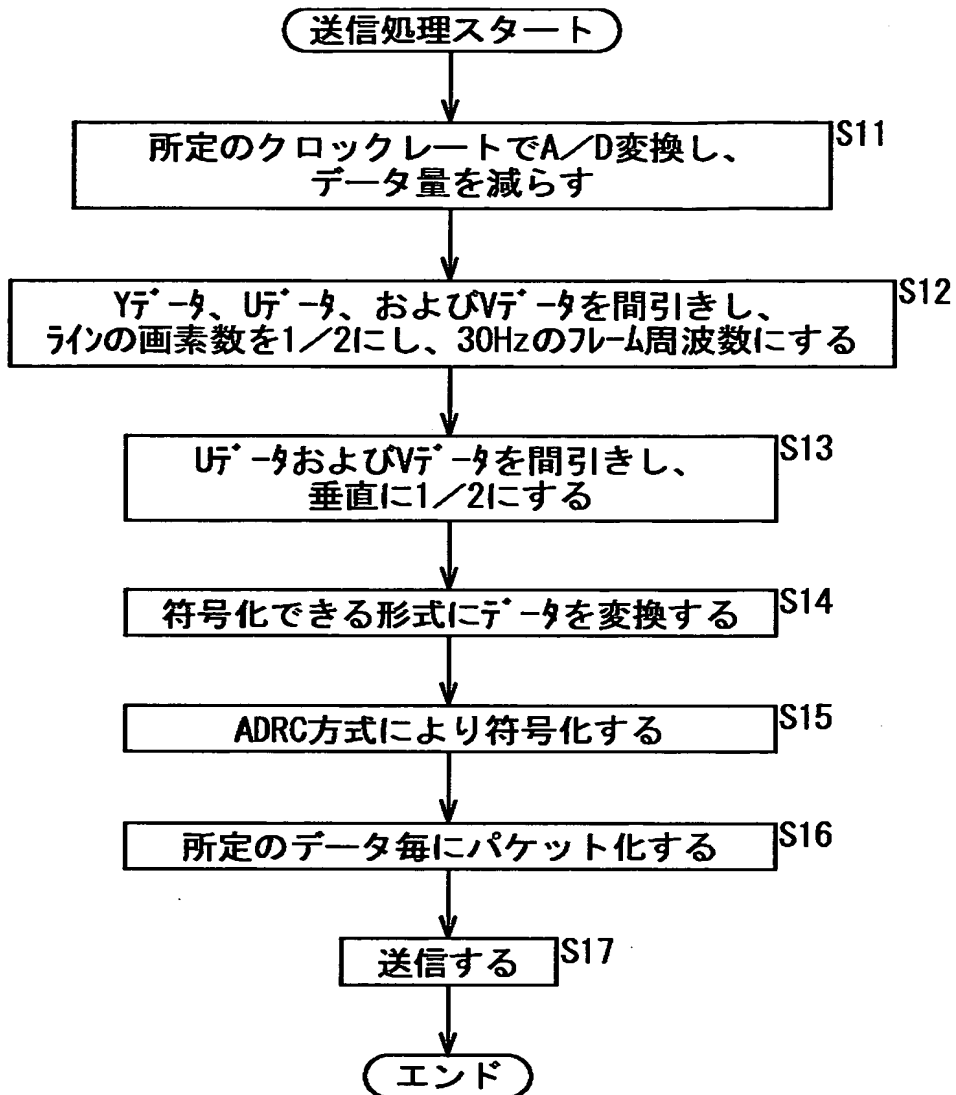
【図 2 5】



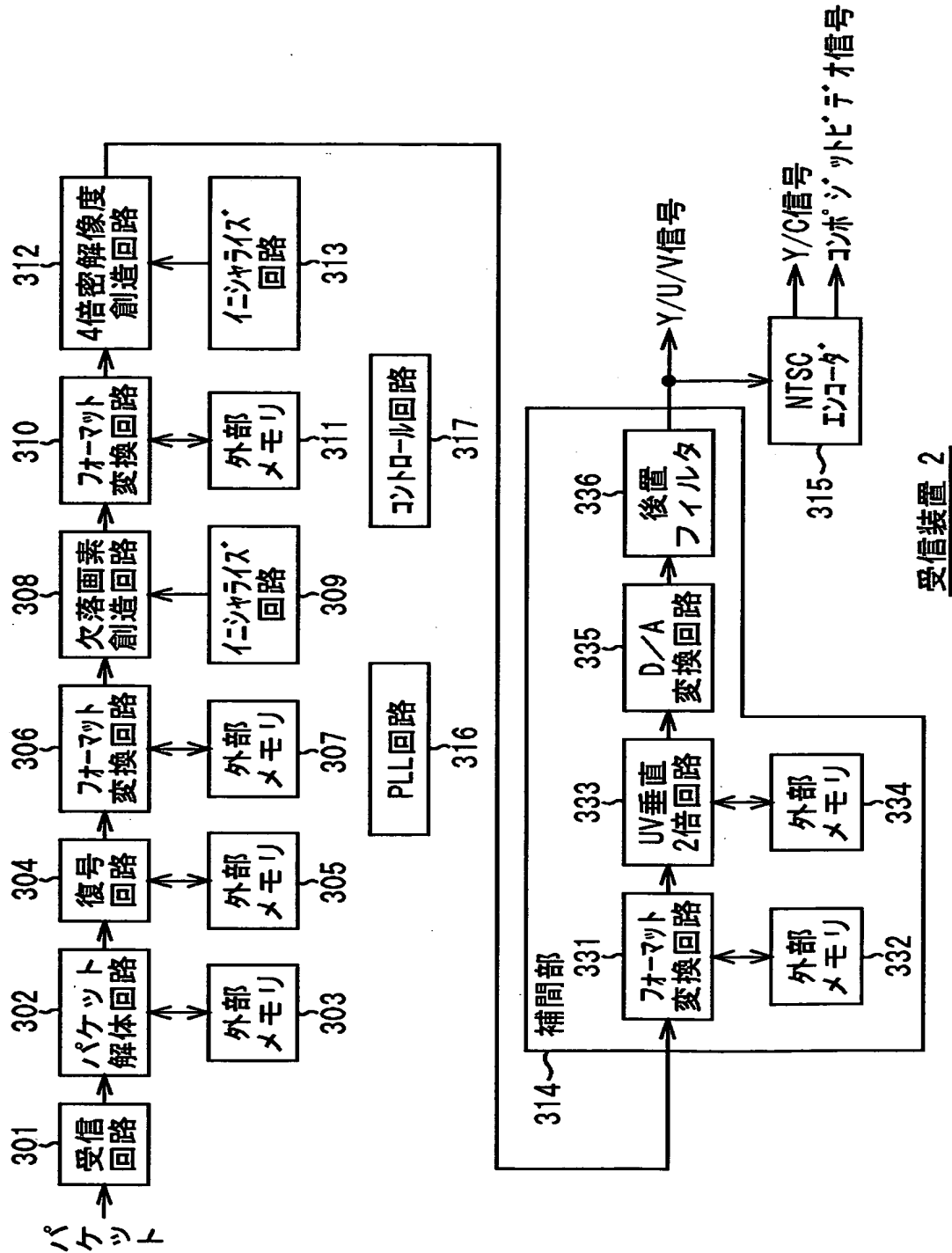
【図 2 6】



【図 2 7】

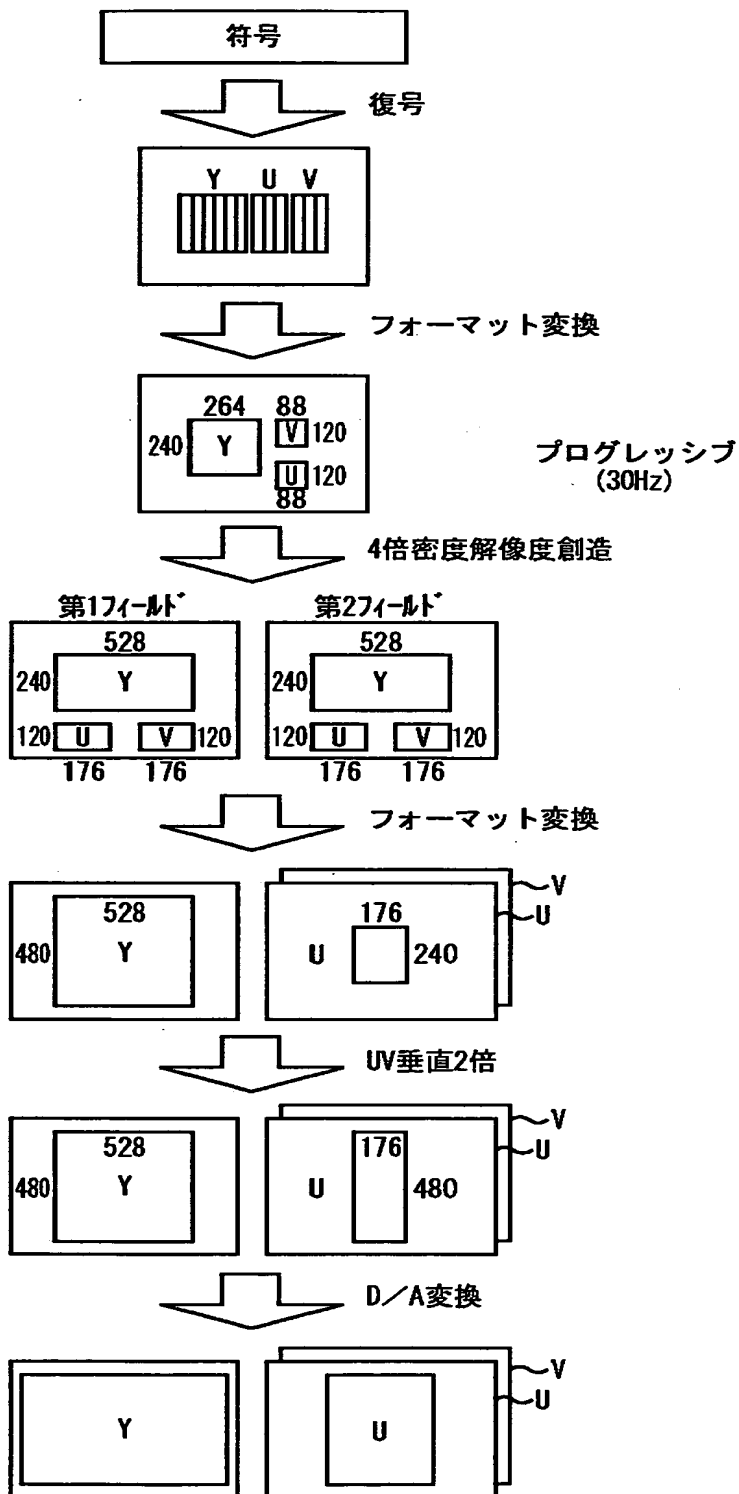


【図28】

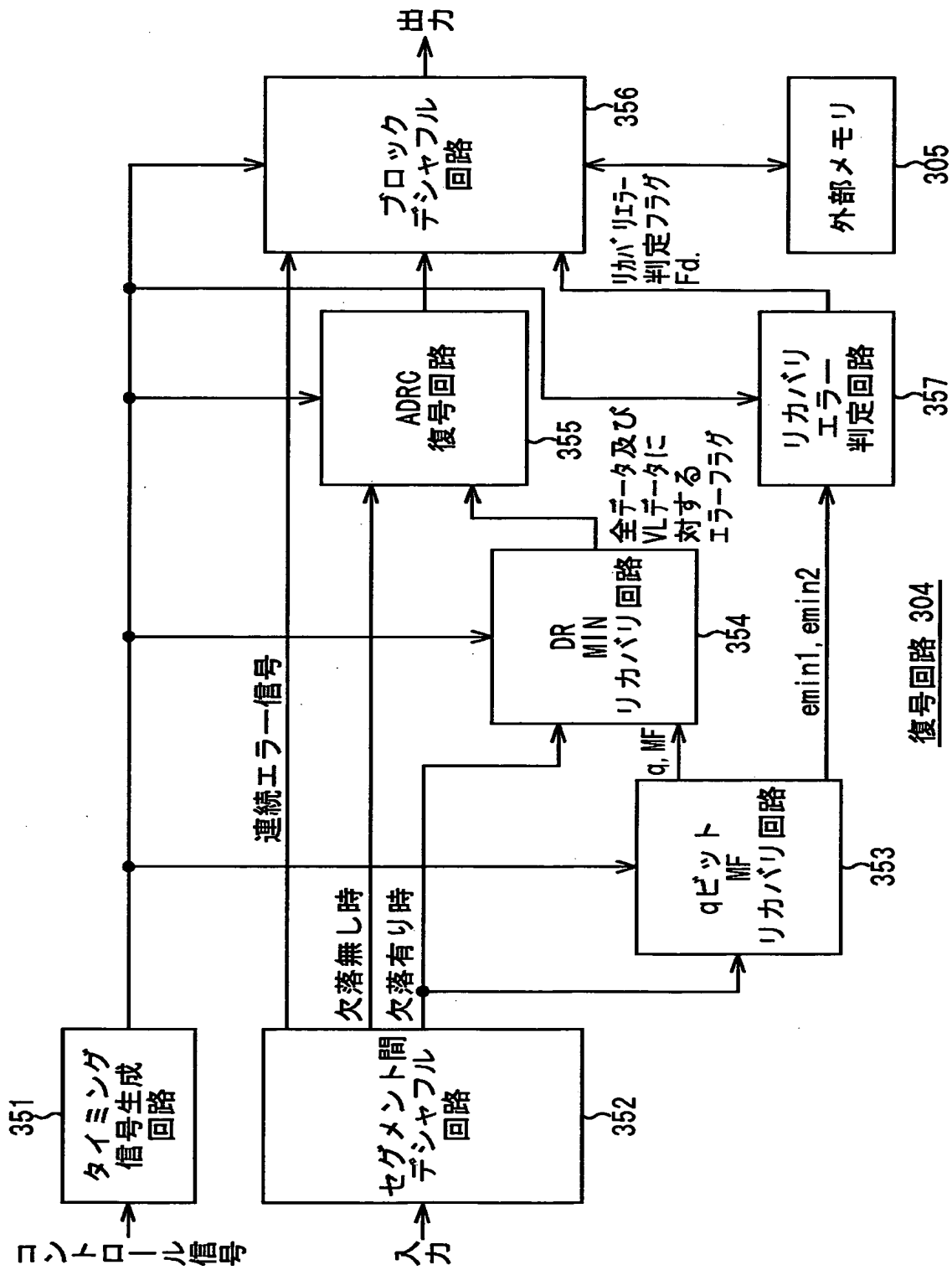


受信装置 2

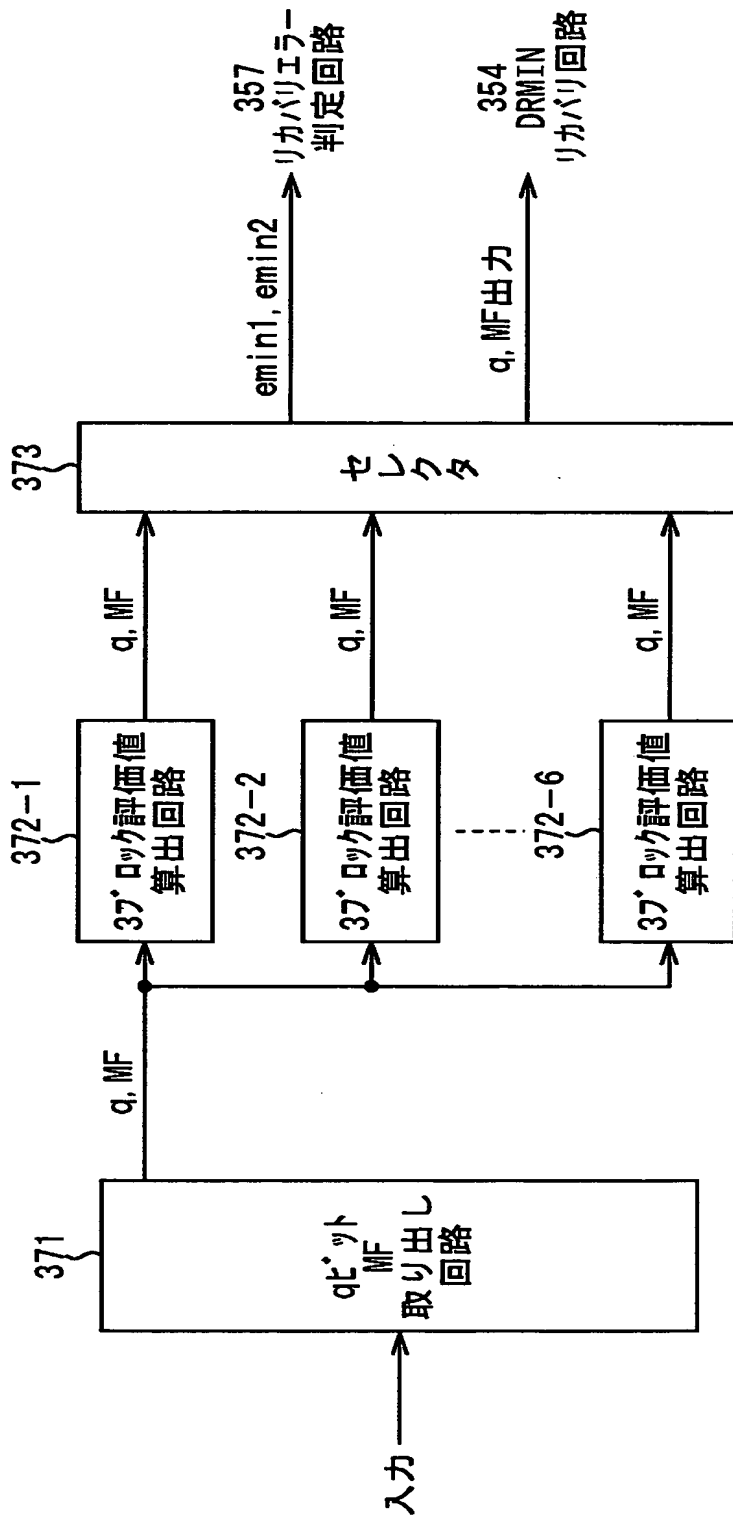
【図 2 9】



【図 30】

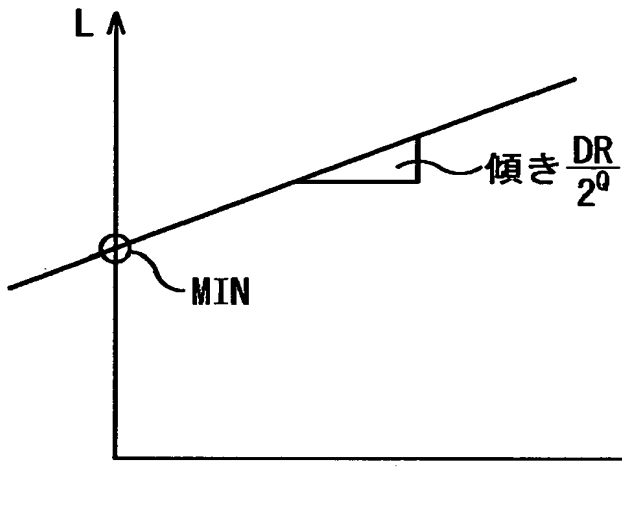


【図 3 1】

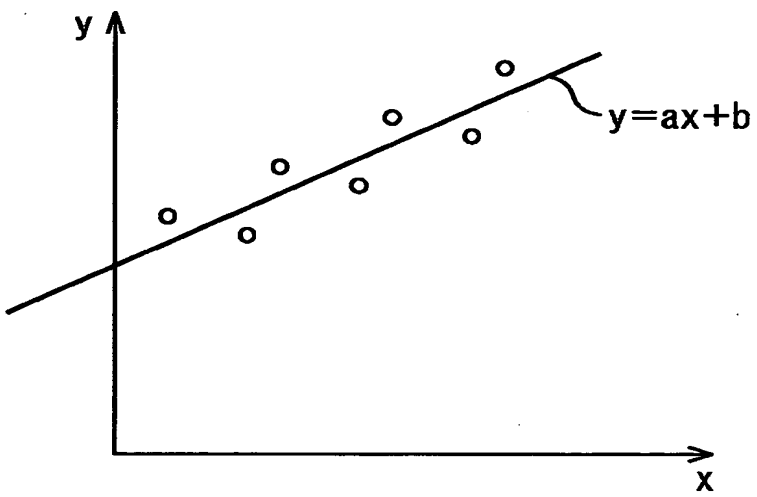


qビットMFリカバリ回路 353

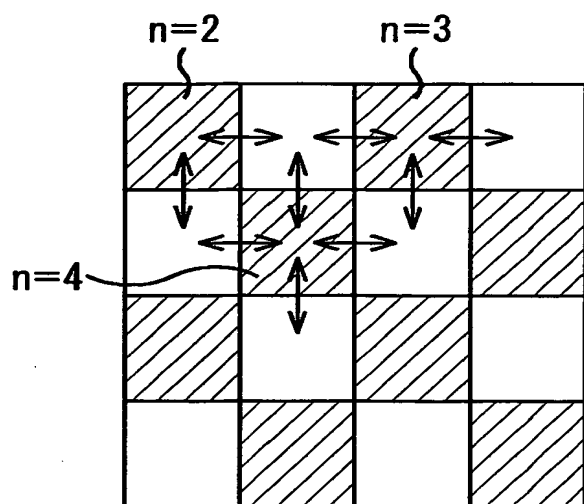
【図 3 2】



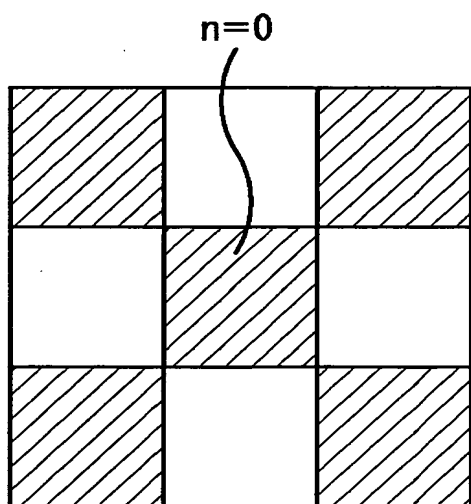
【図 3 3】



【図 3 4】

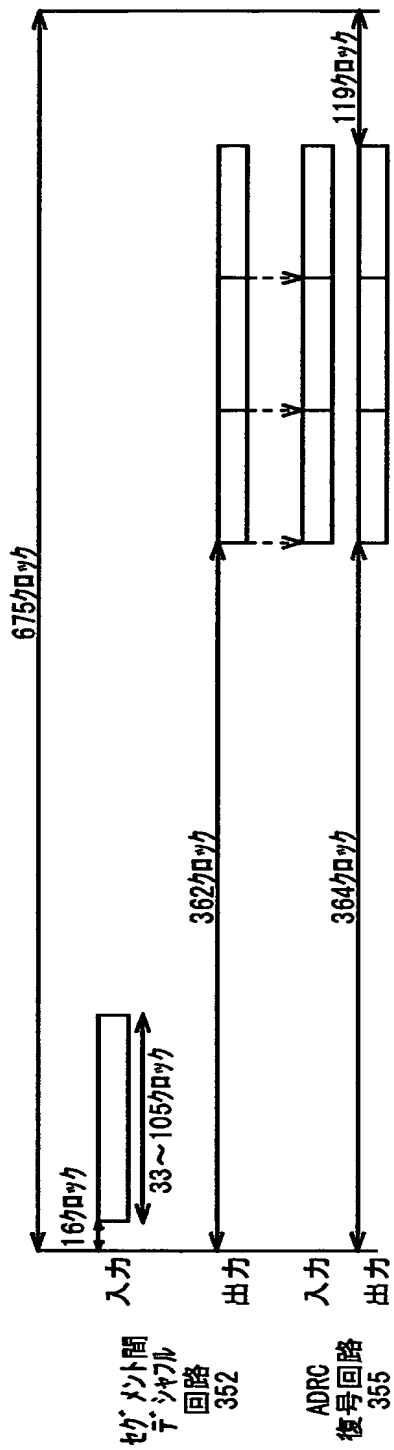


(A)

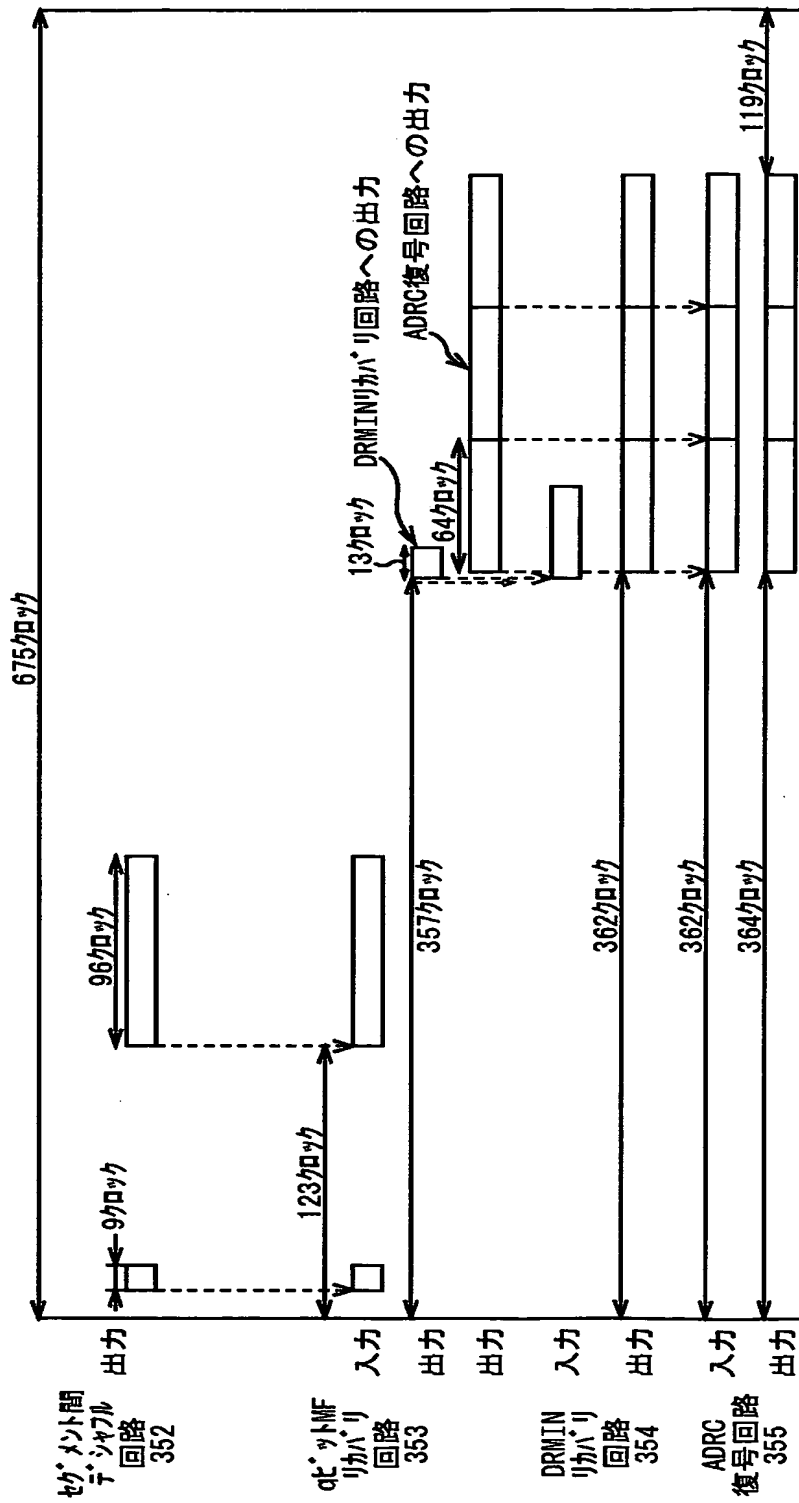


(B)

【図 3 5】

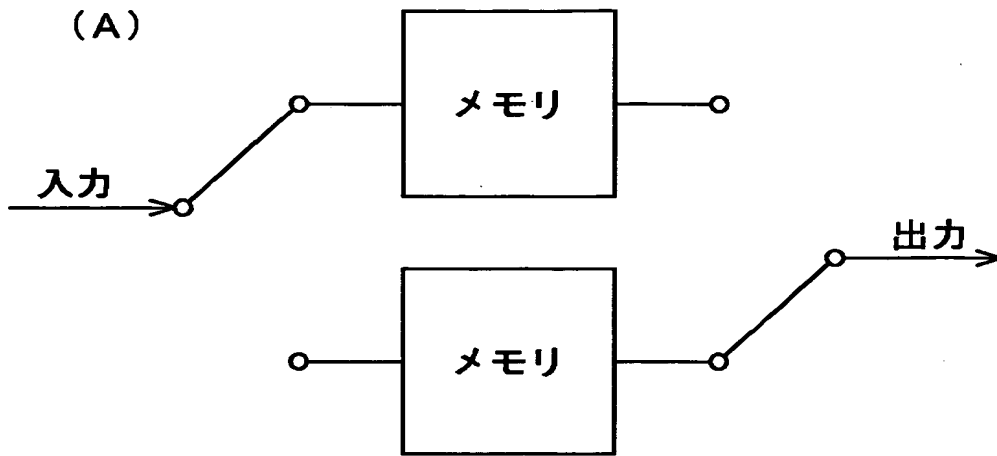


【図36】

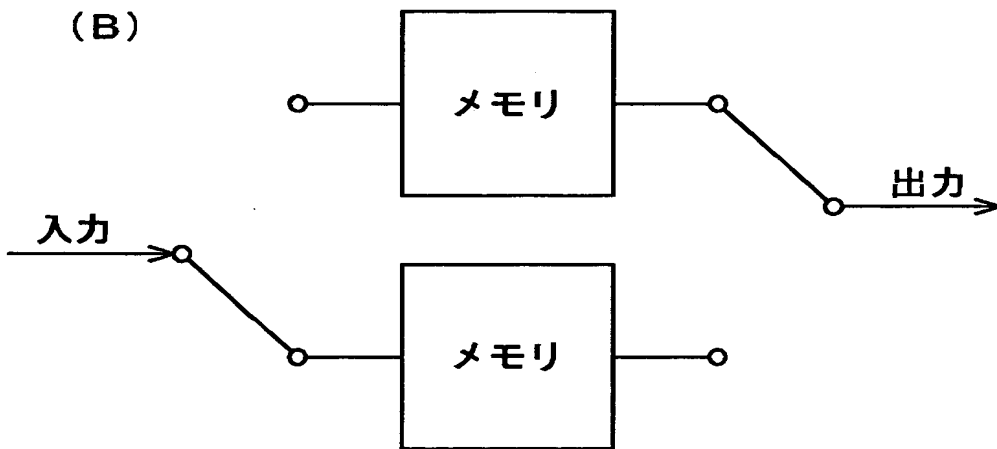


【図 3 7】

(A)

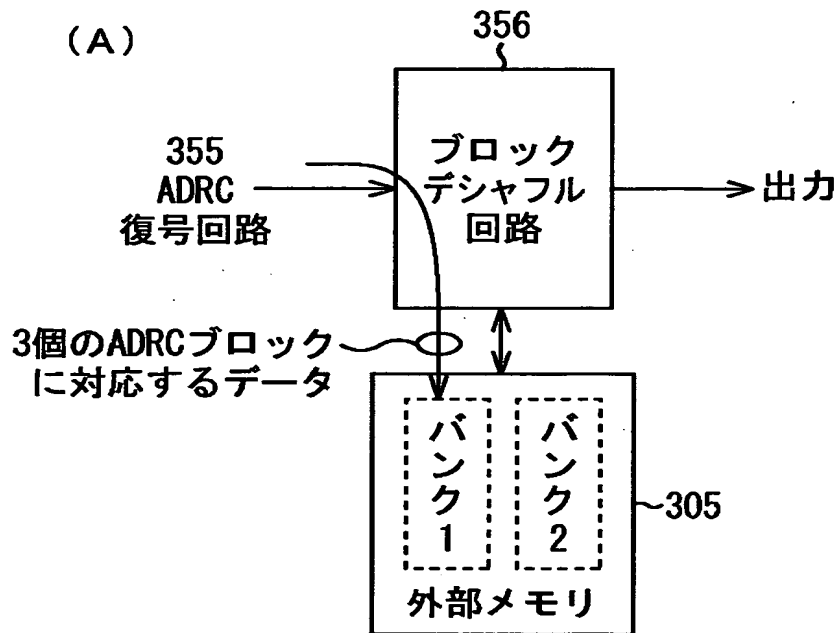


(B)

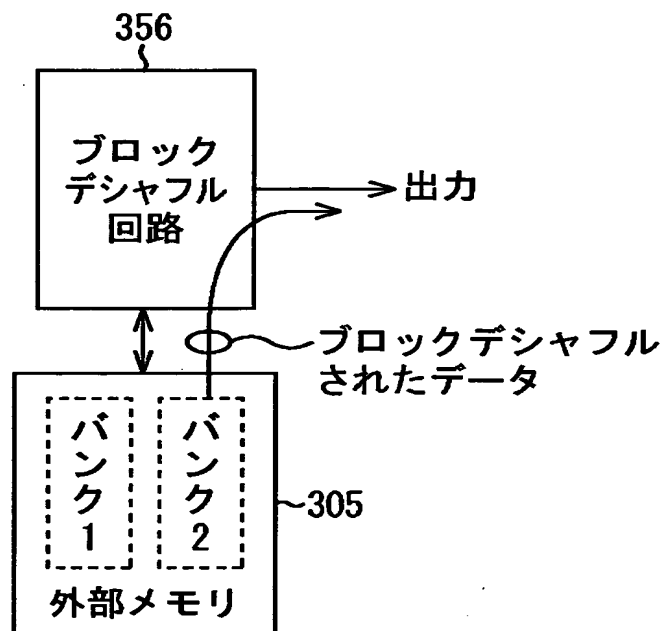


【図 3 8】

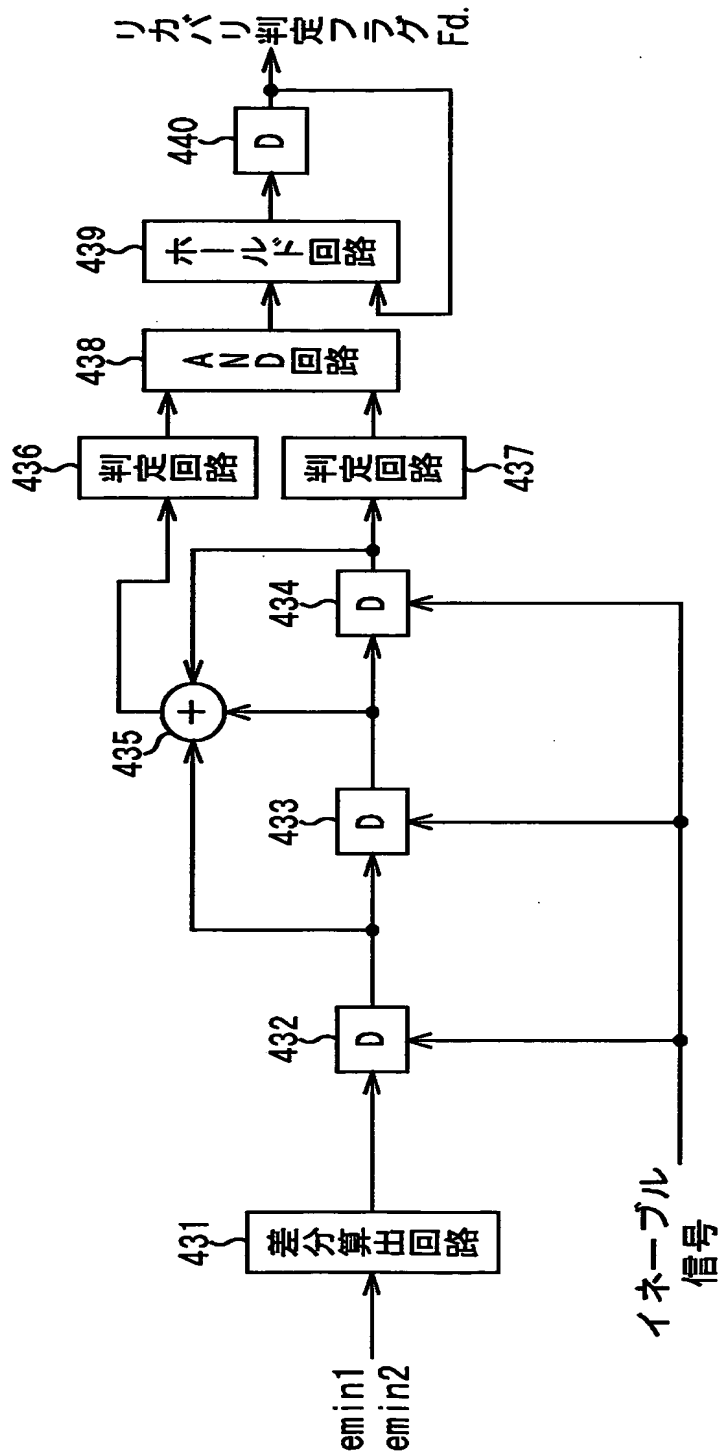
(A)



(B)

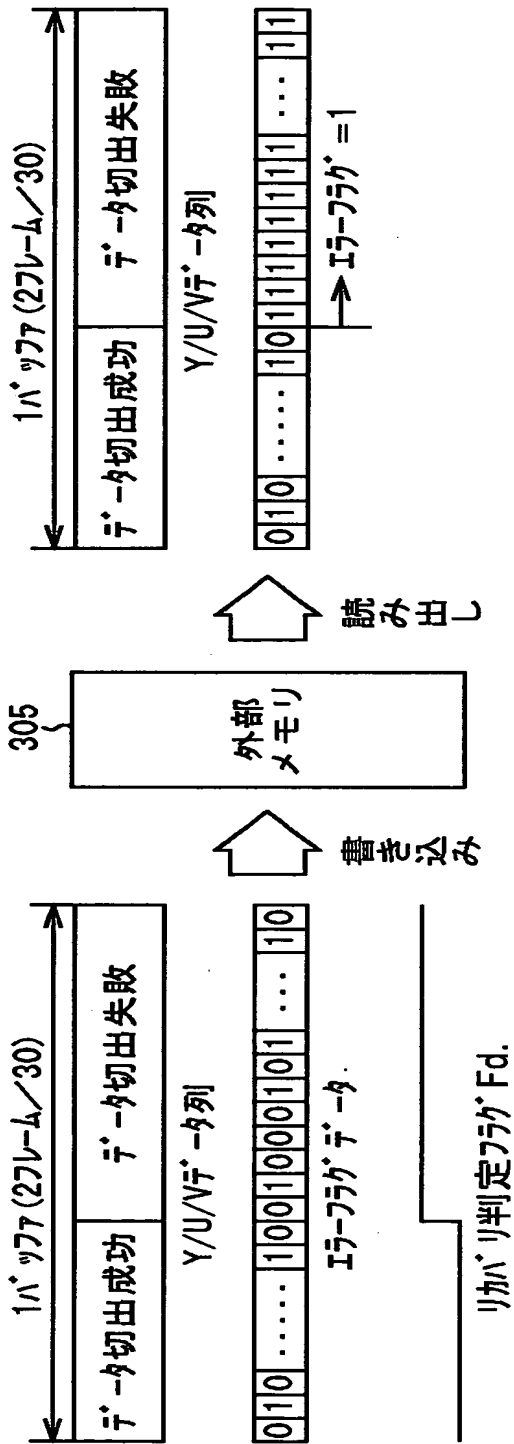


【図 39】

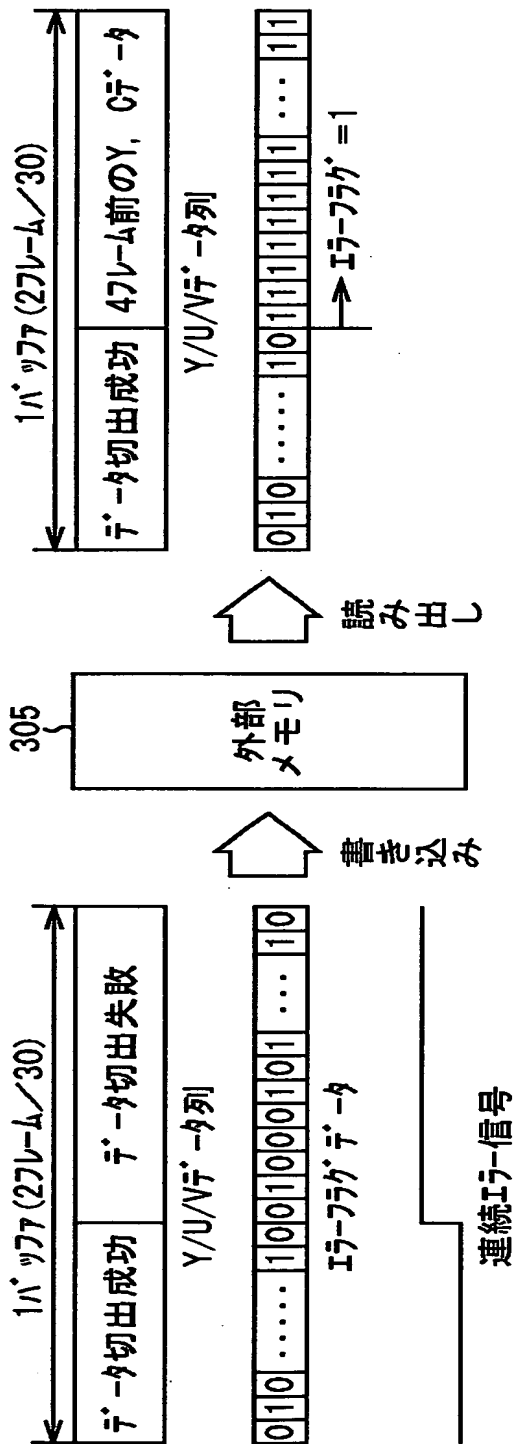


リカバリエラー判定回路 357

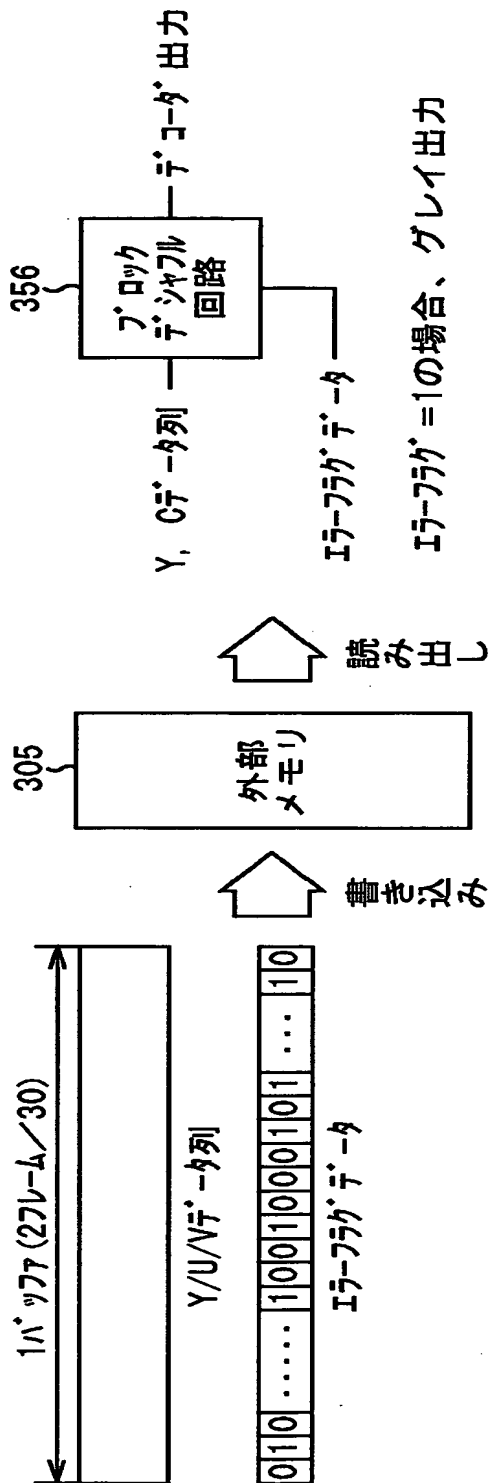
【図 40】



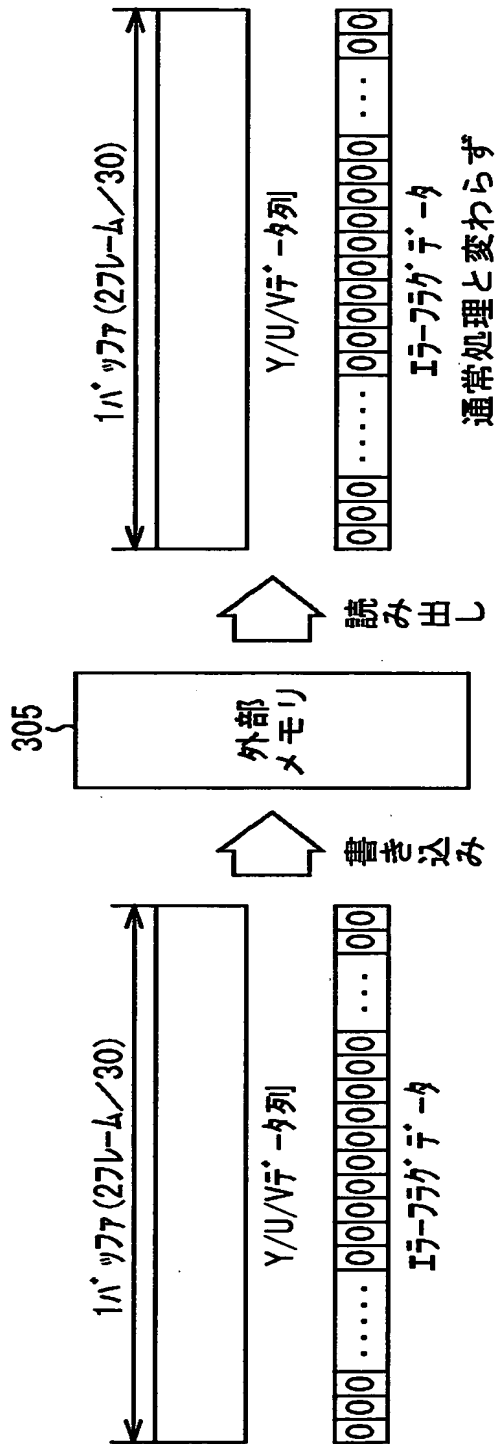
【図41】



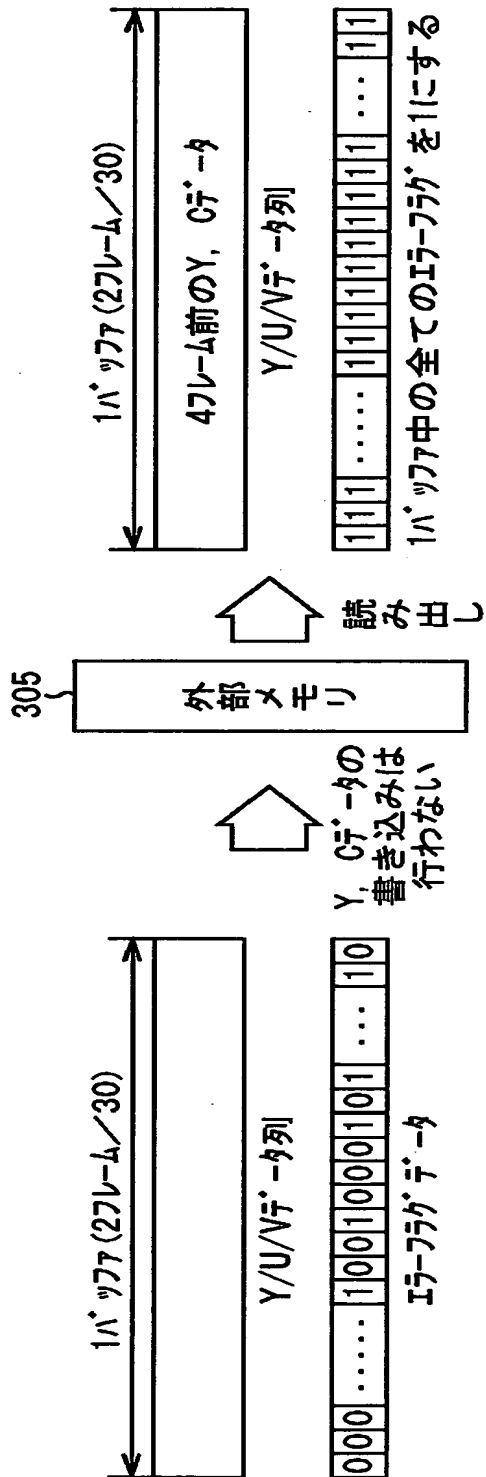
【図42】



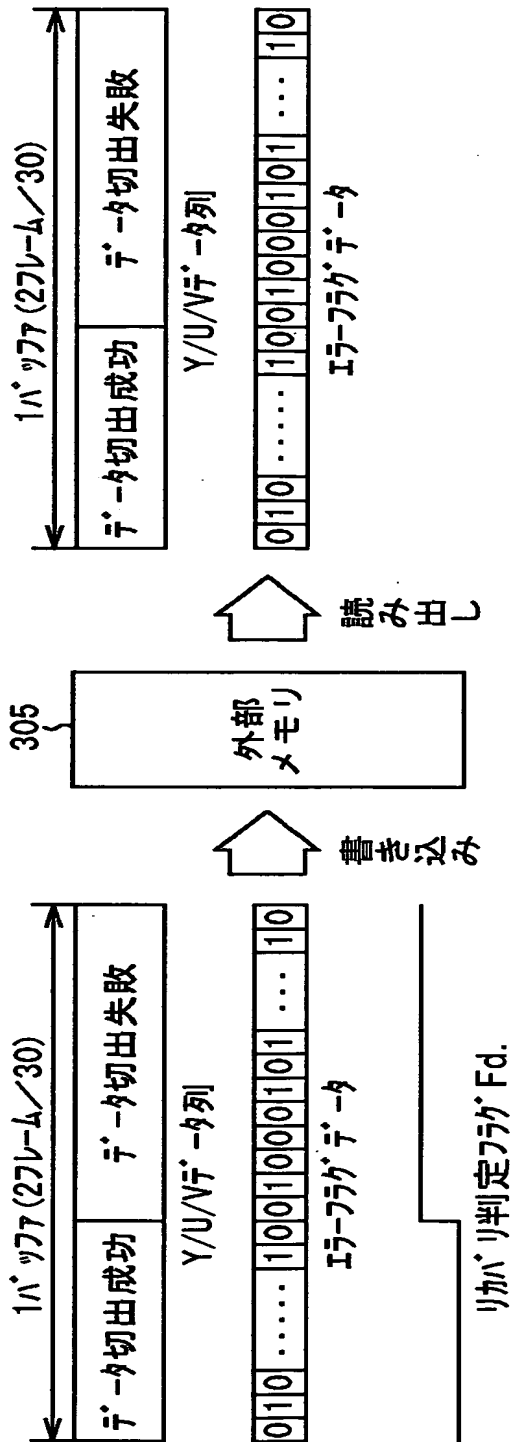
【図 4 3】



【図 4 4】

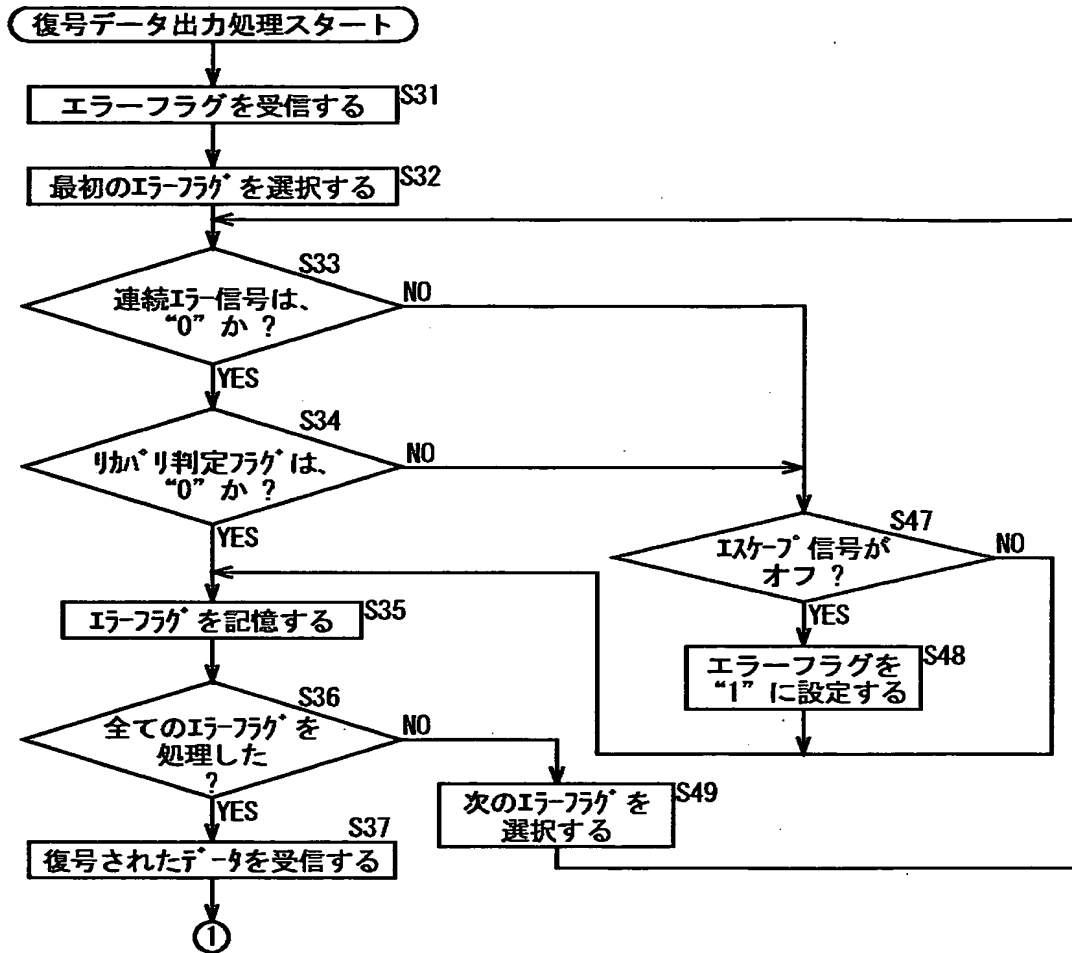


【図 4 5】



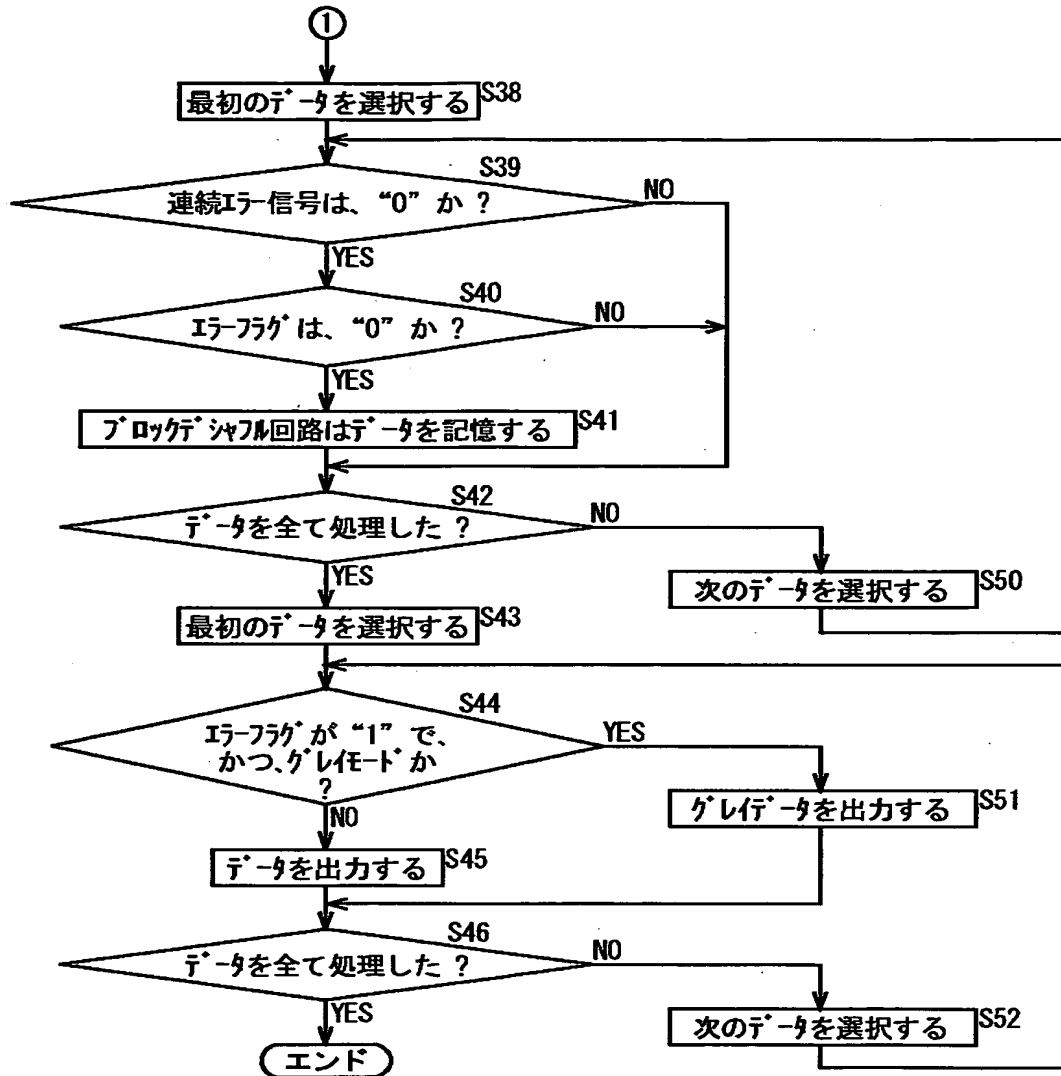
【図 4 6】

(46-1)

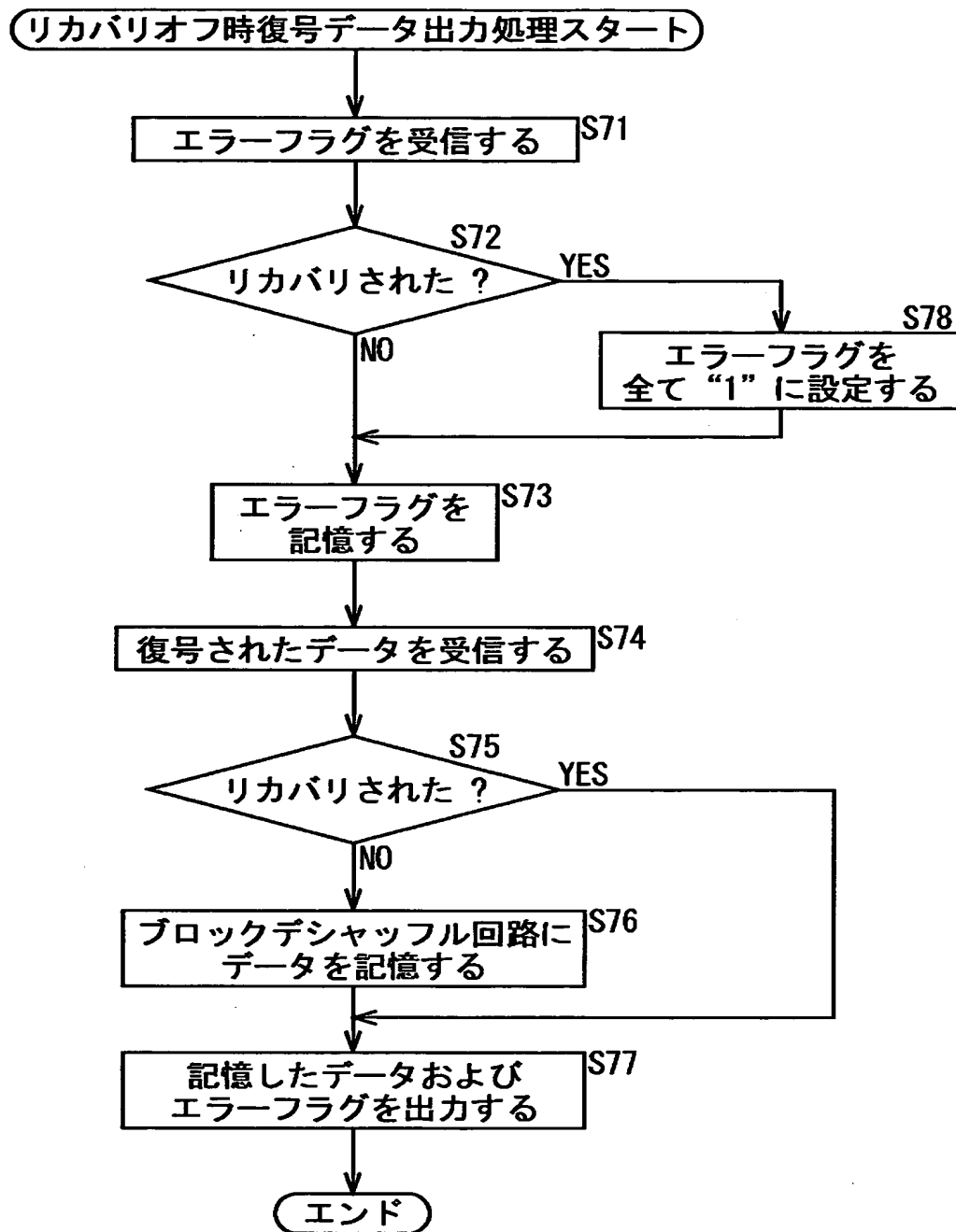


【図 4 7】

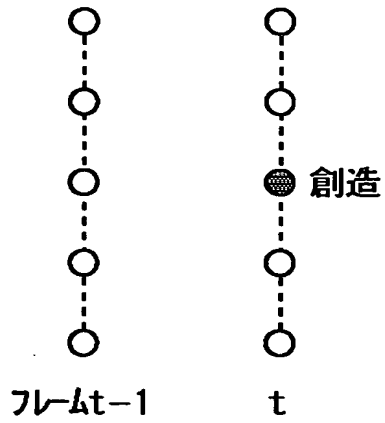
(46-2)



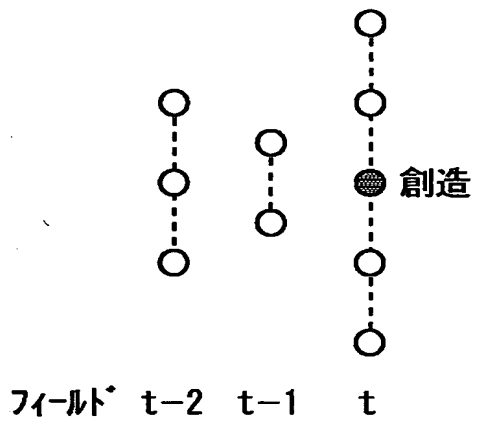
【図 4 8】



【図 4 9】

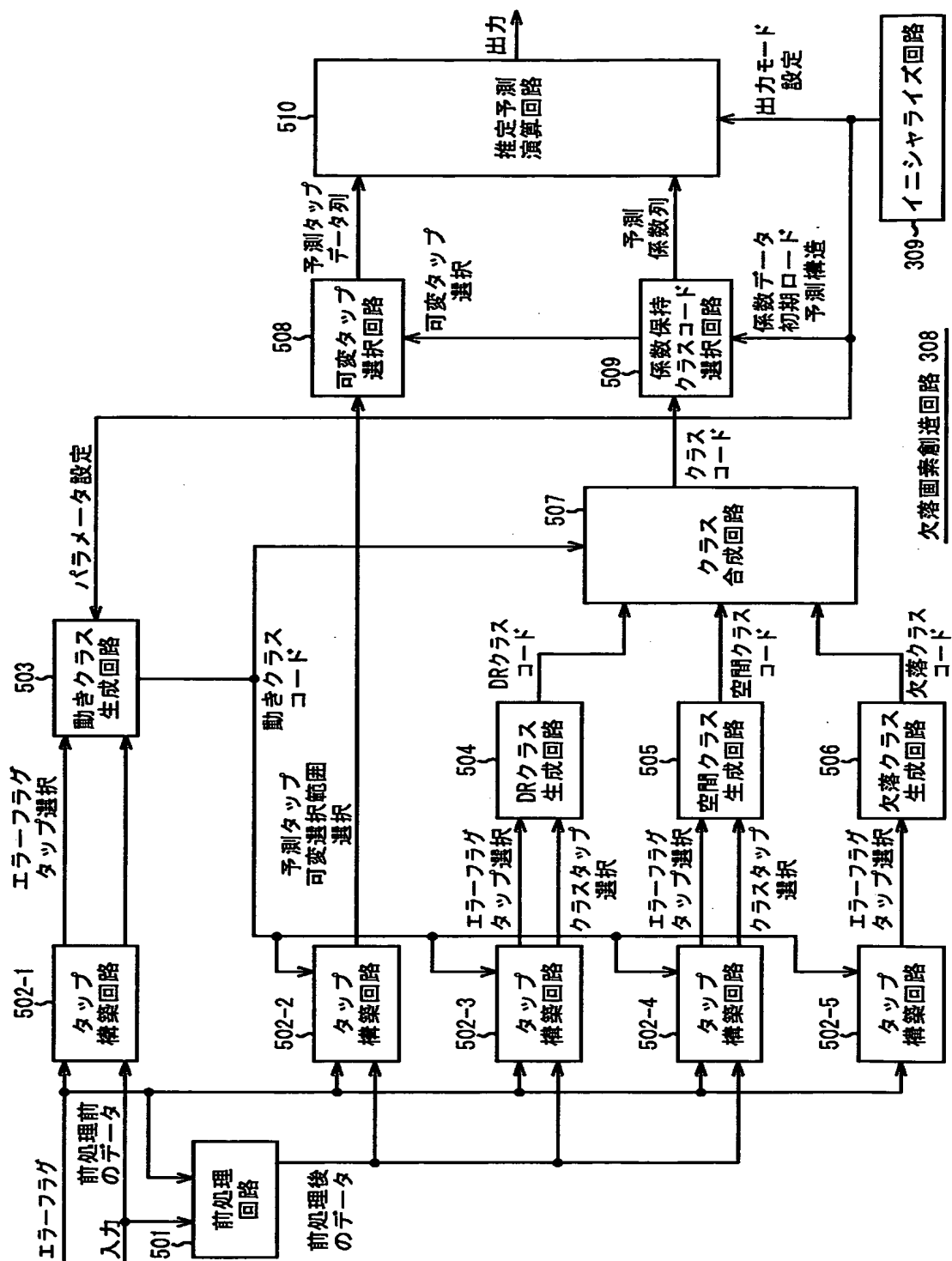


(A)

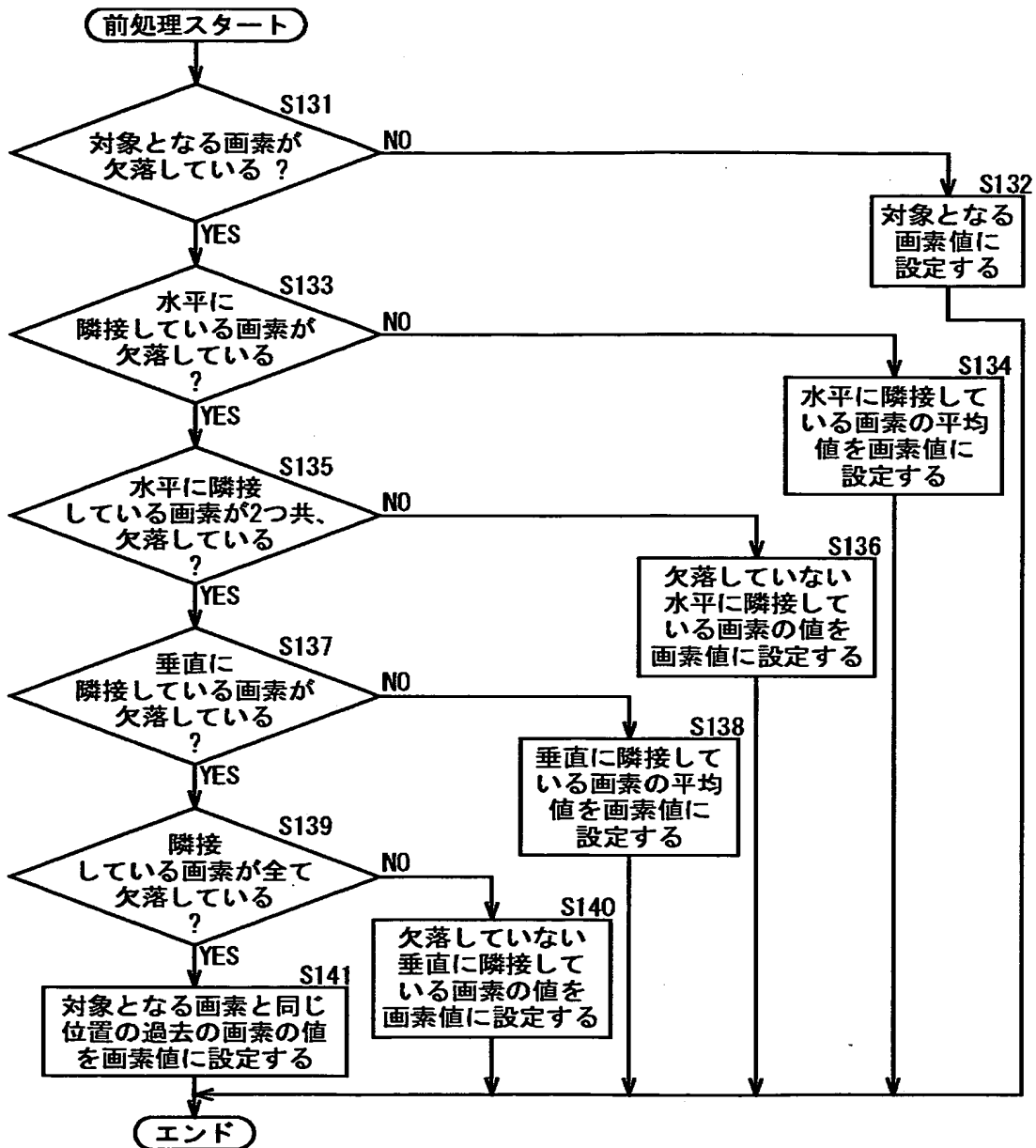


(B)

【图 50】



【図 51】



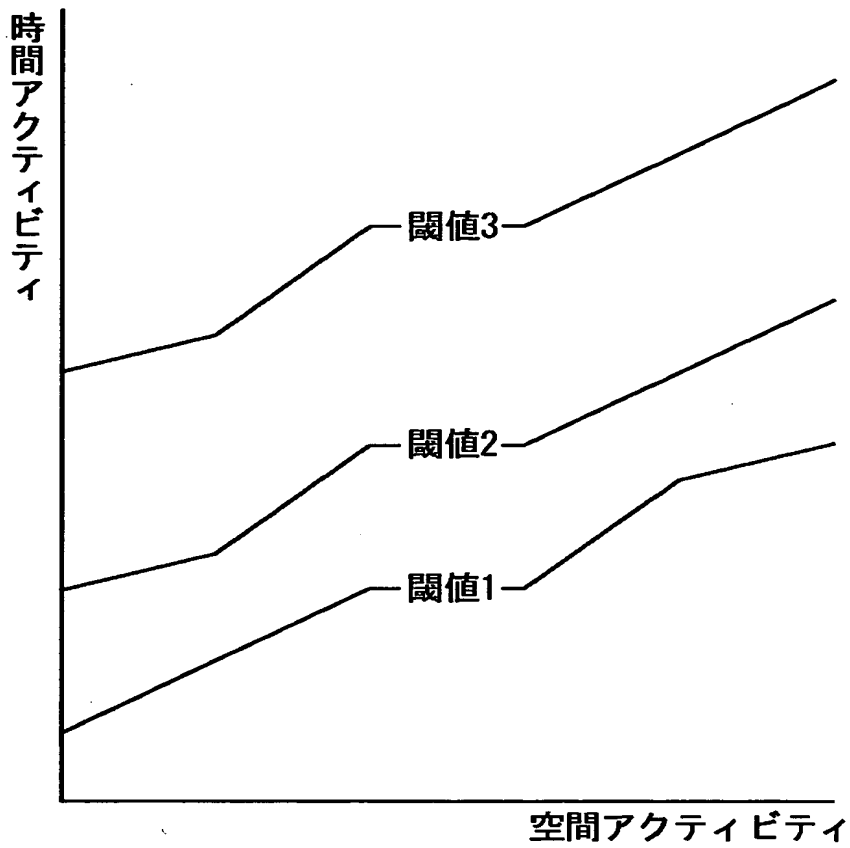
【図 5 2】

		H1	H2	H3			H1	H2	H3
(A)	L1	エー	q2	q3	(B)	L1	p1	p2	p3
	L2	q4	エー	q6		L2	p4	p5	p6
	L3	q7	エー	q9		L3	p7	p8	p9
		フレームt					フレームt-1		

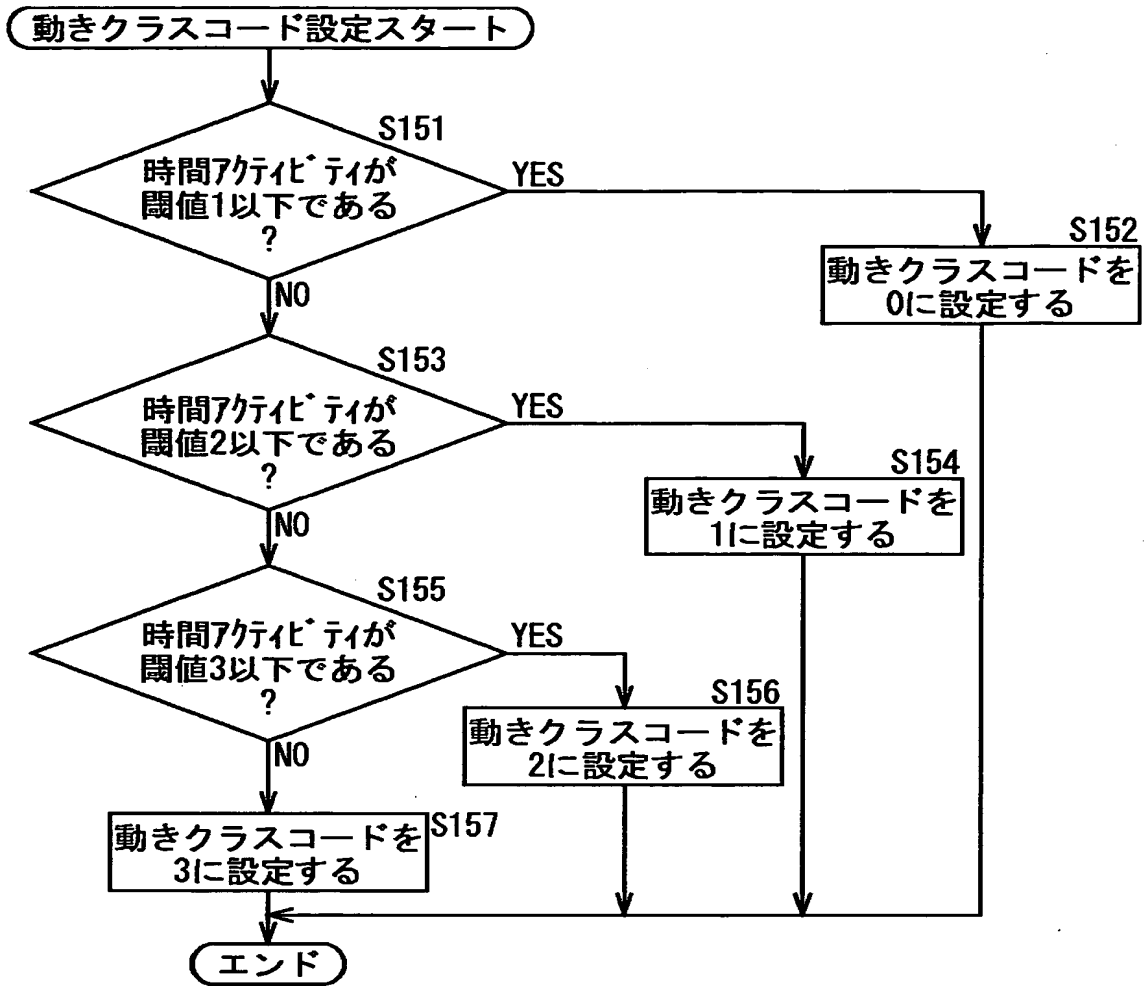
【図 5 3】

q1	q2	q3
q4	エー	q6
q7	q8	q9
フレームt		

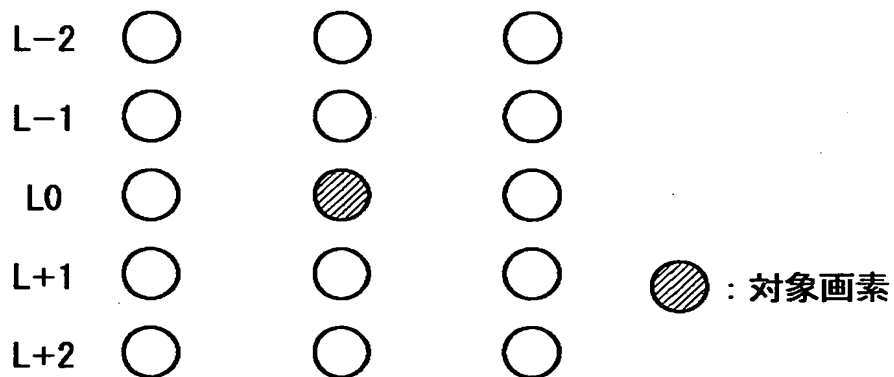
【図 5 4】



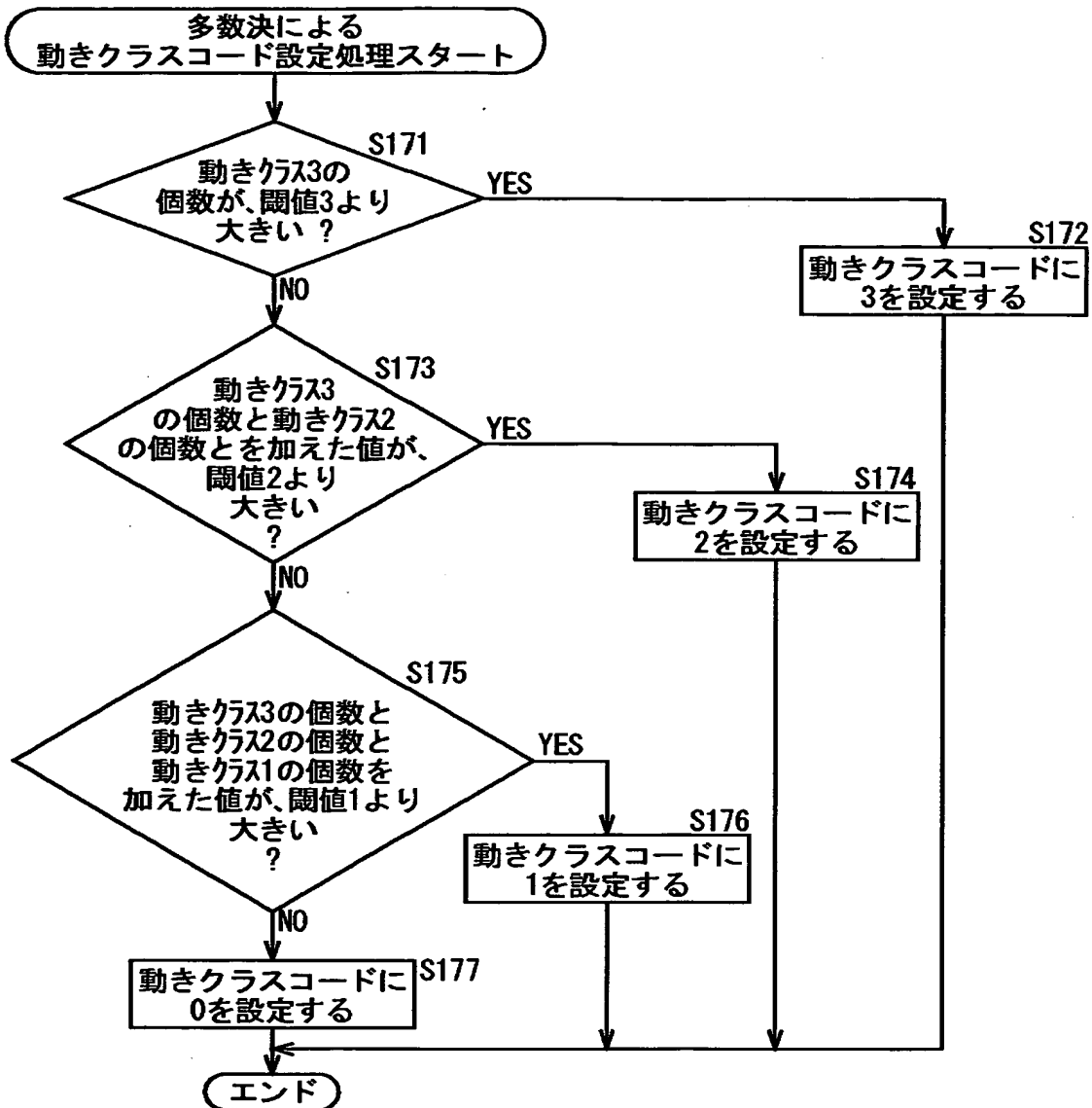
【図 5 5】



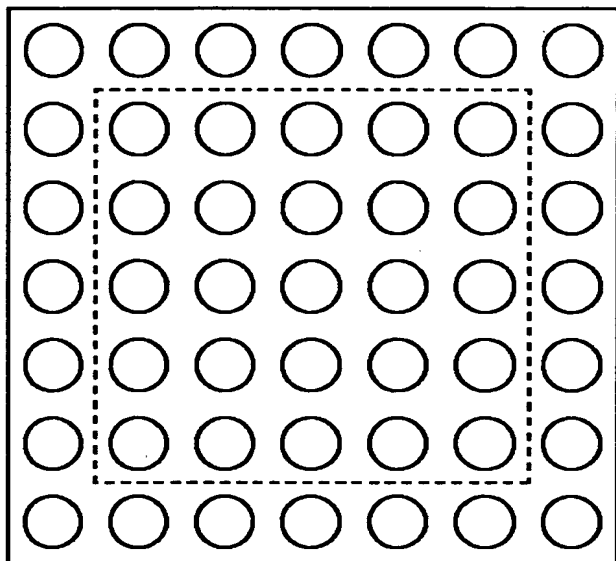
【図 5 6】



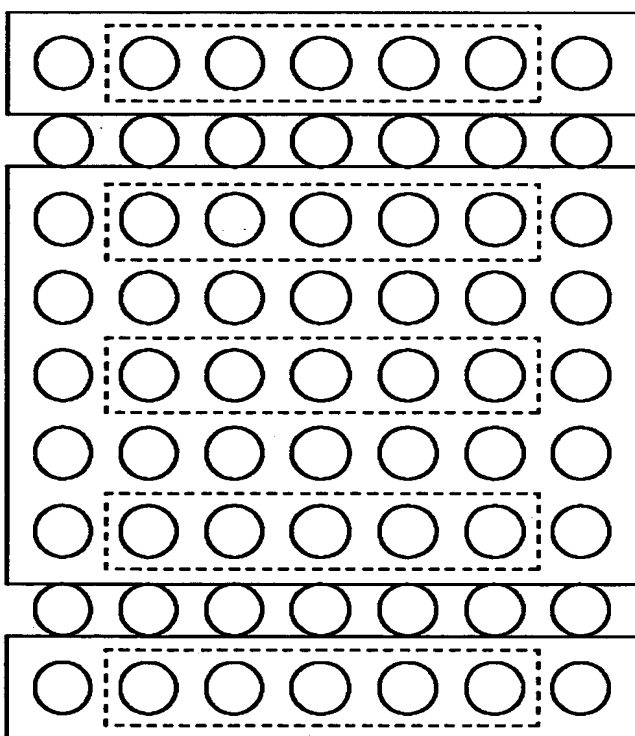
【図 5 7】



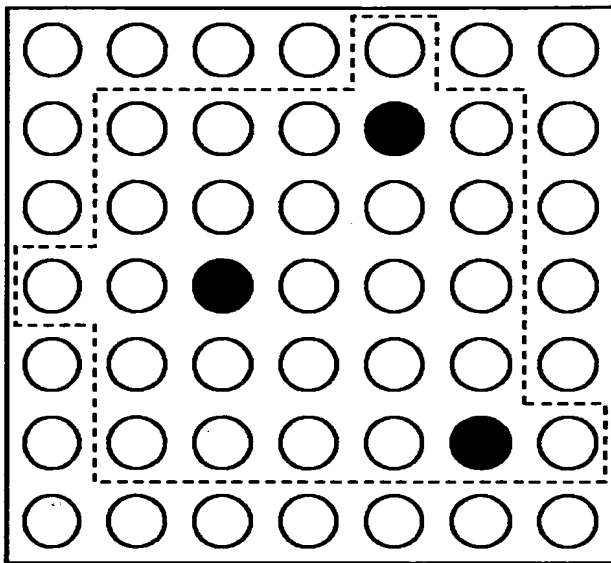
【図 5 8】



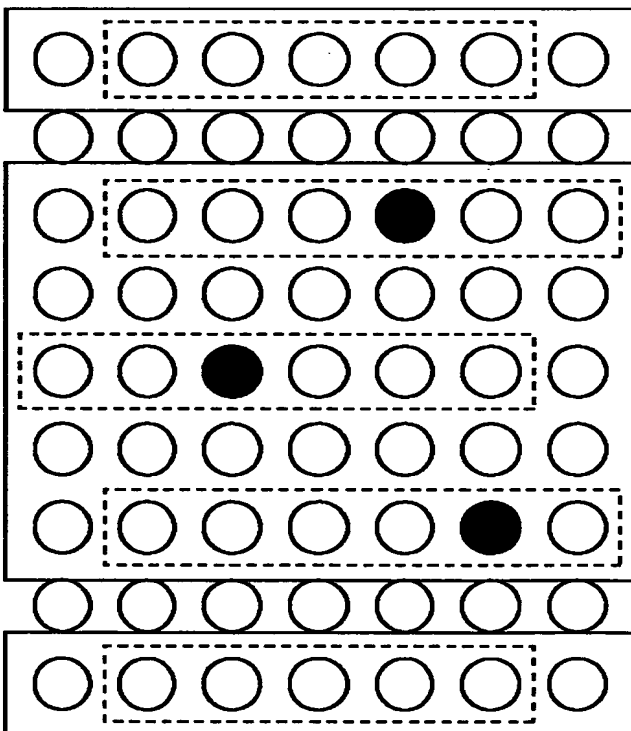
【図 5 9】



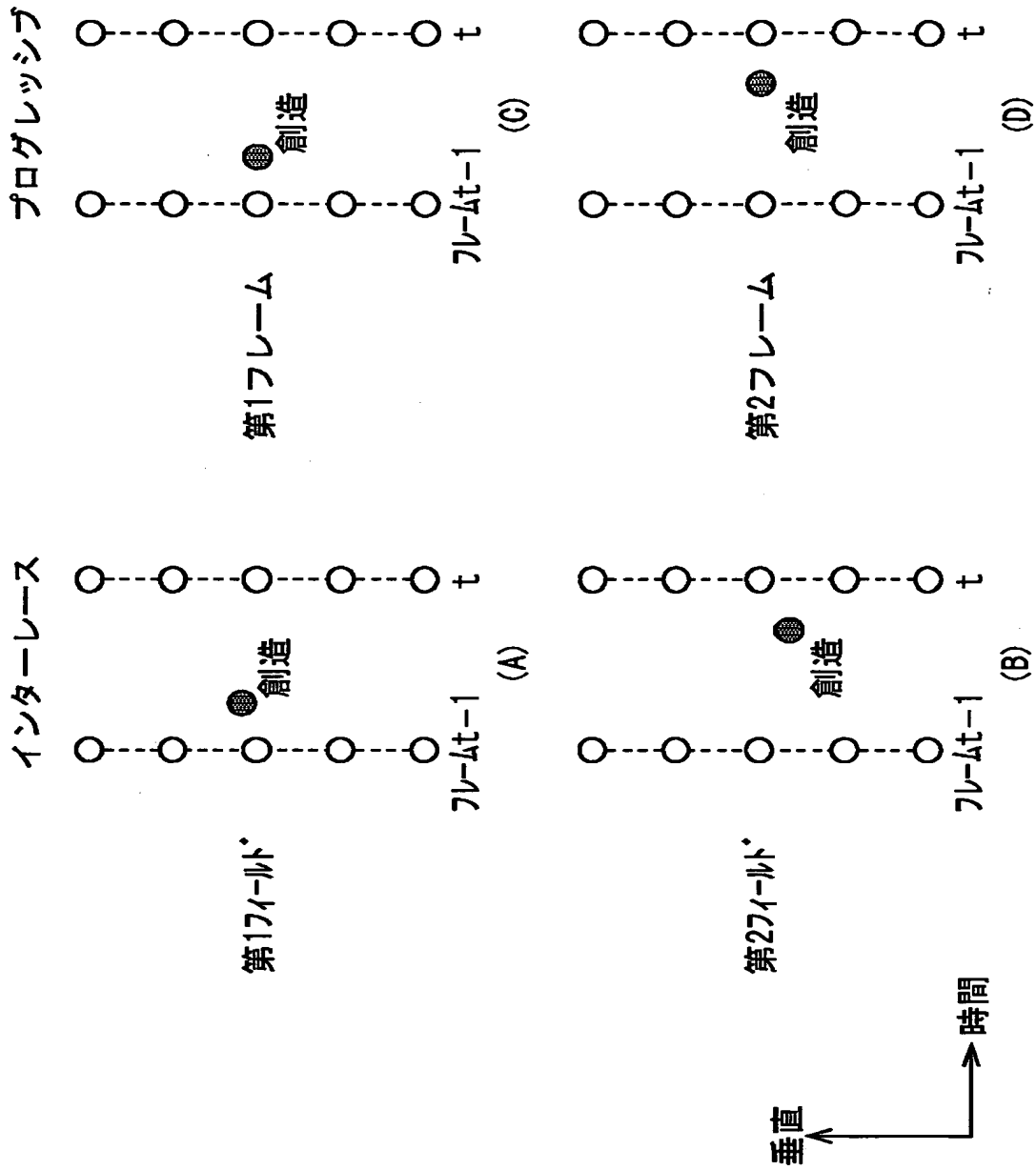
【図 6 0】



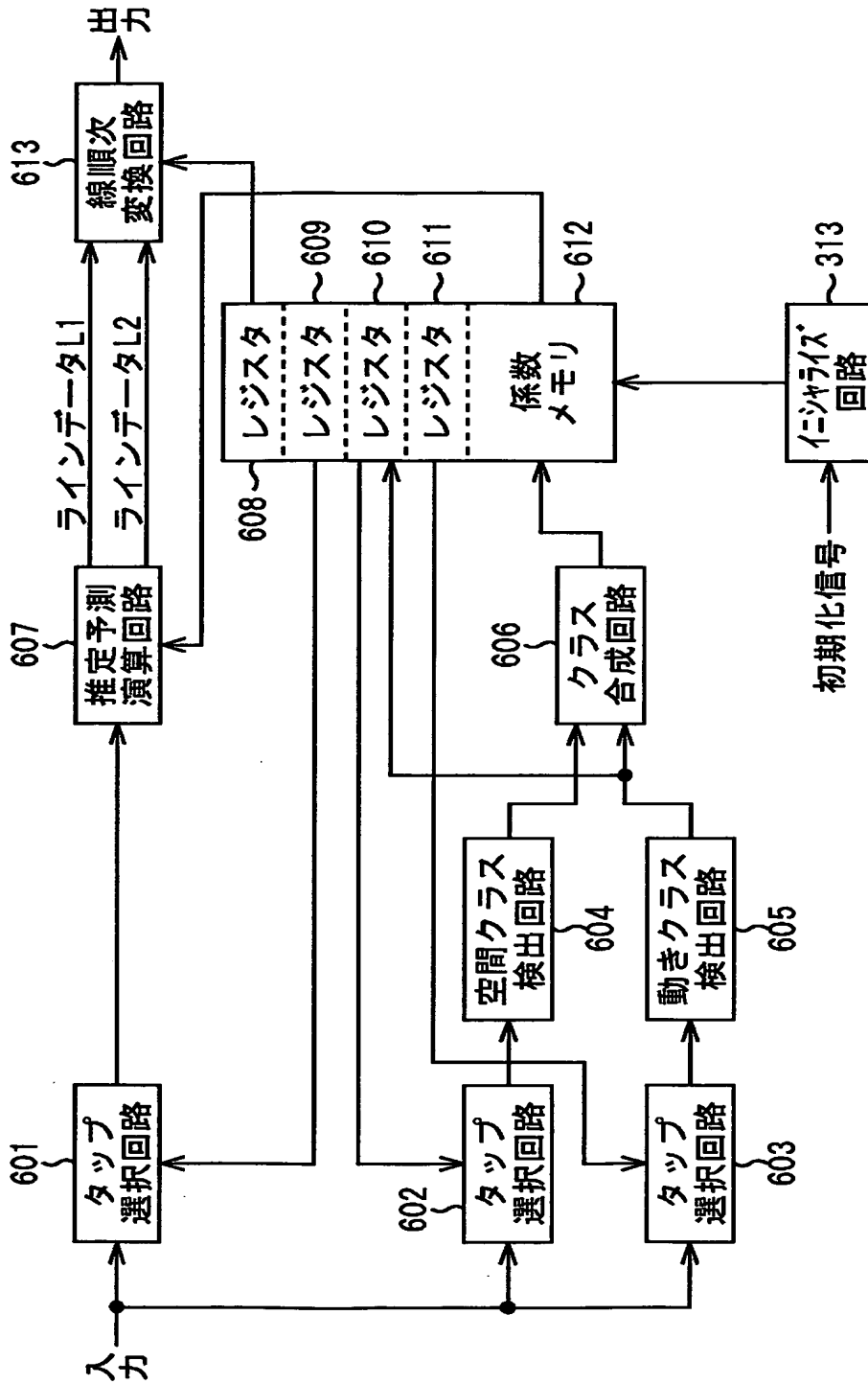
【図 6 1】



【図62】

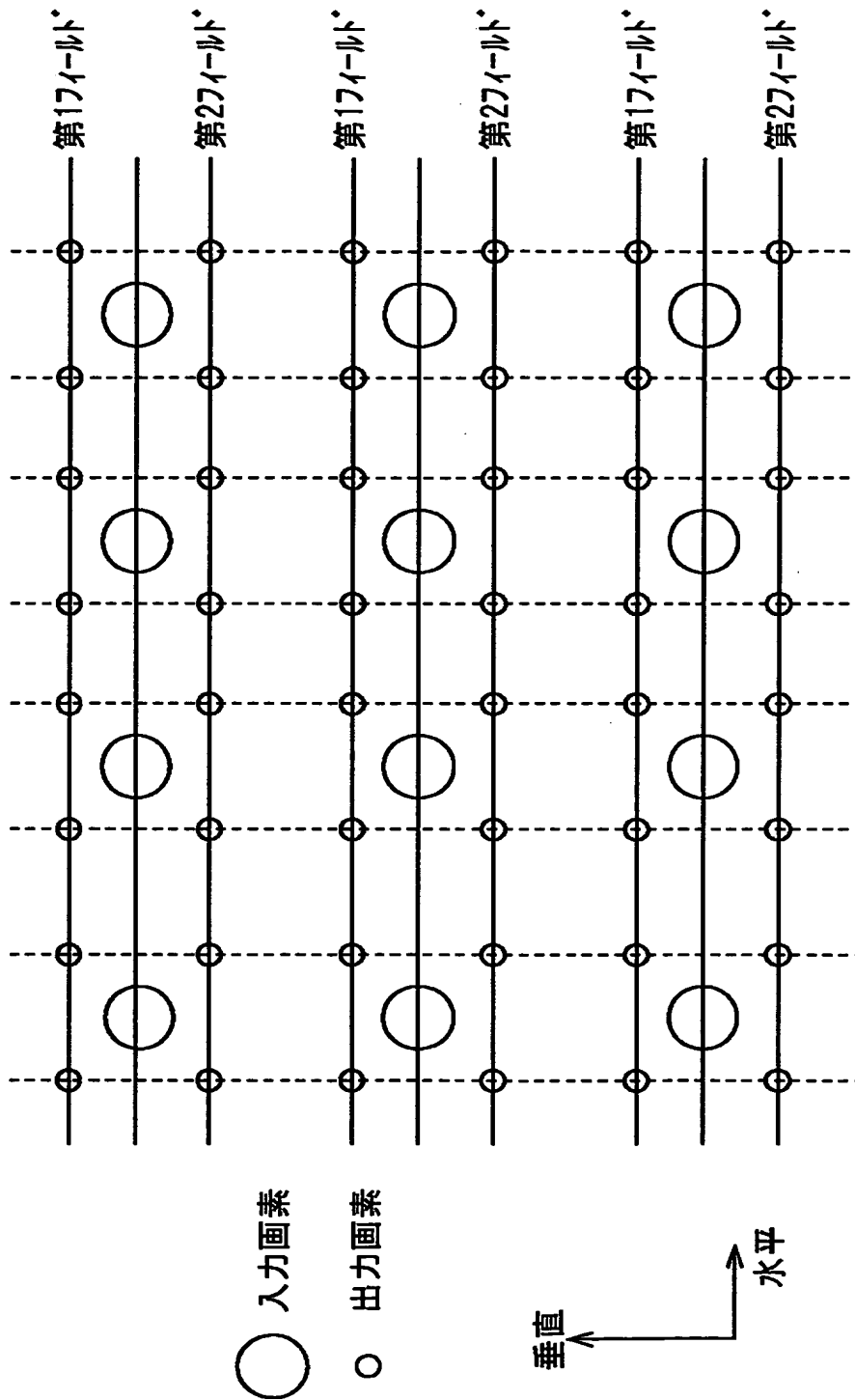


【図63】

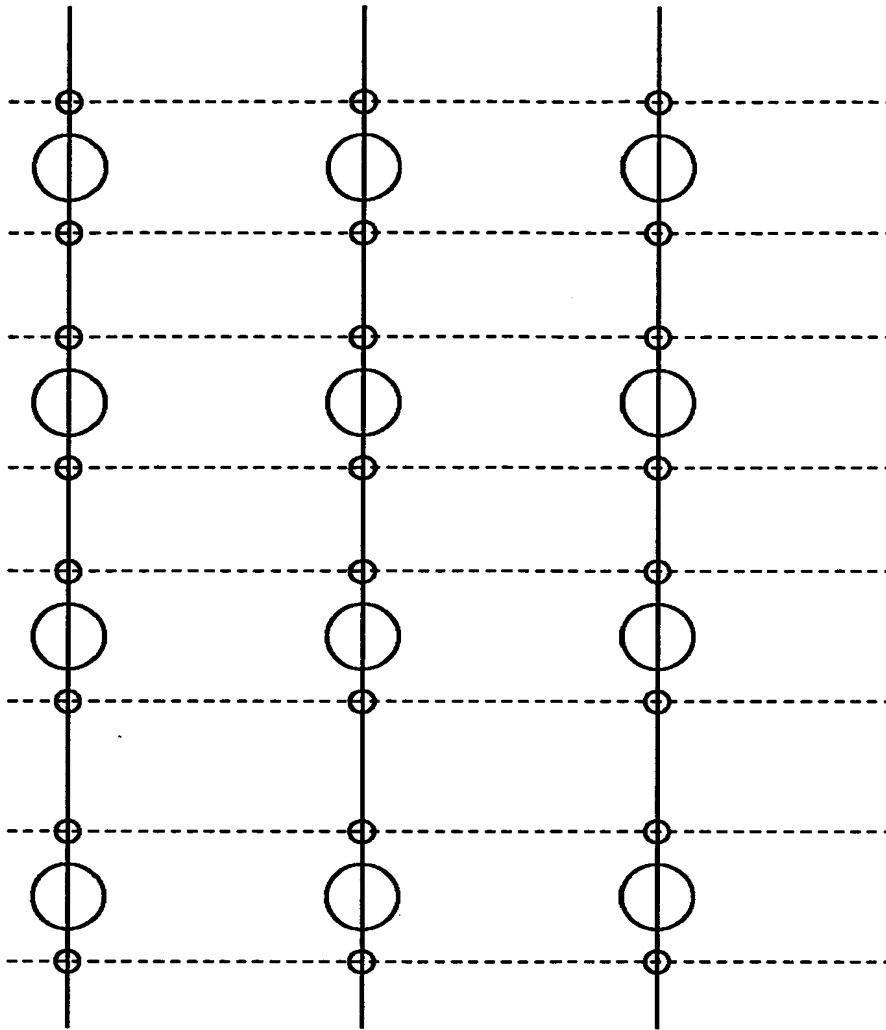


4倍密解像度創造回路 312

【図64】



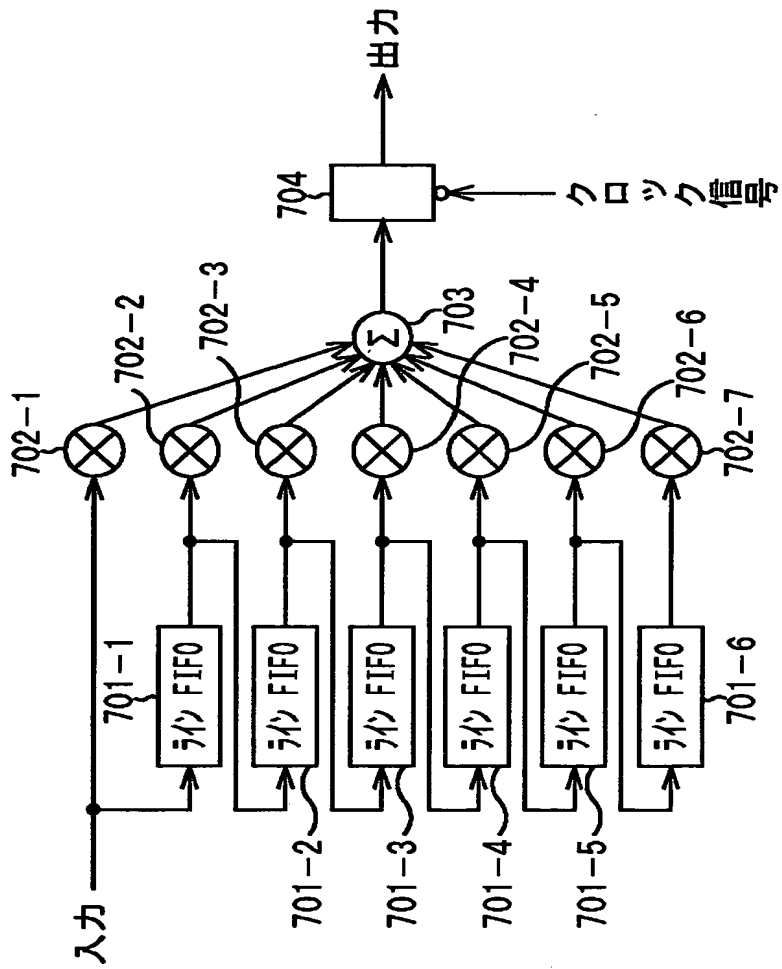
【図 6 5】



○ 入力要素
○ 出力要素

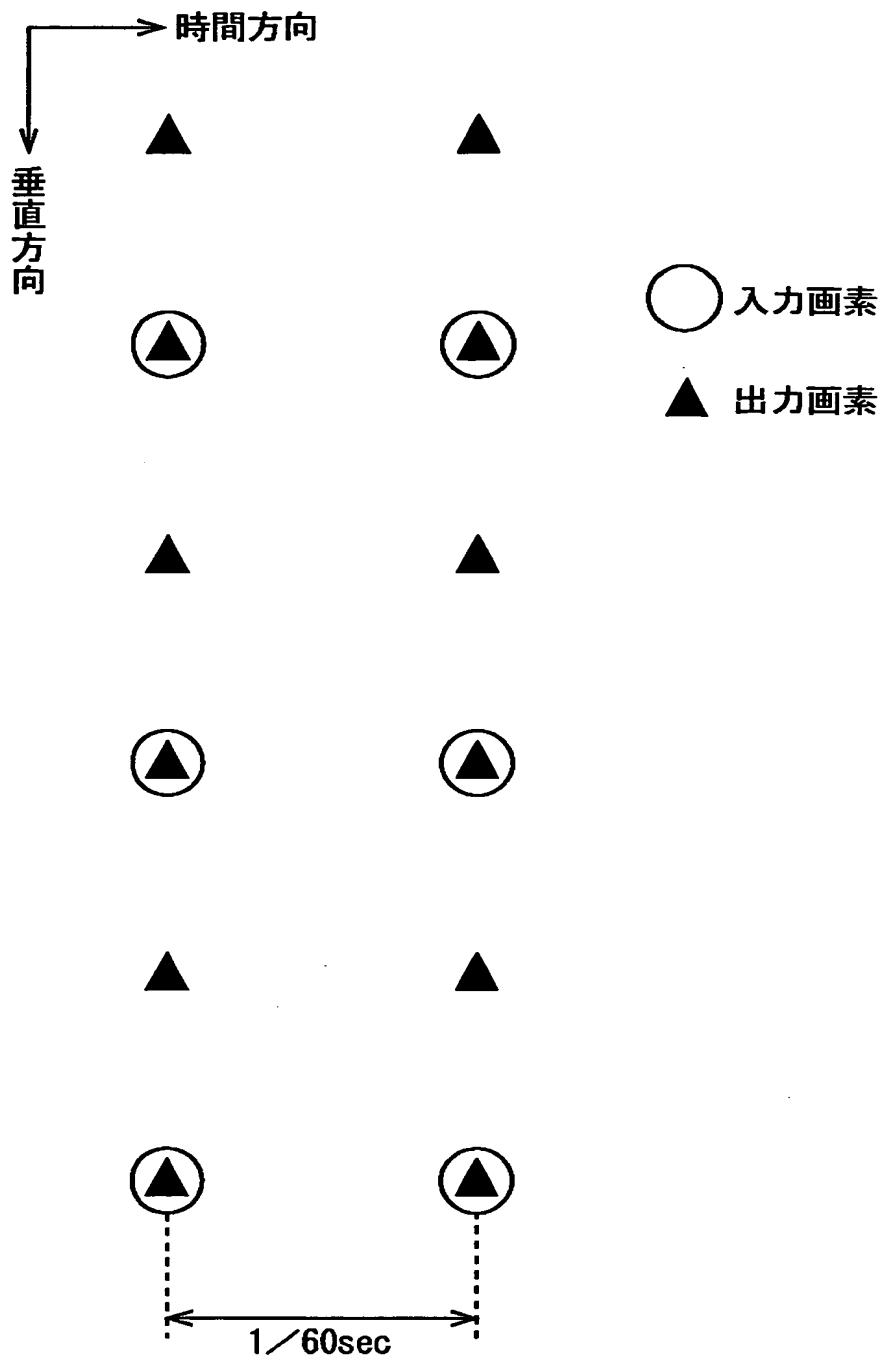
垂直
水平

【図 66】

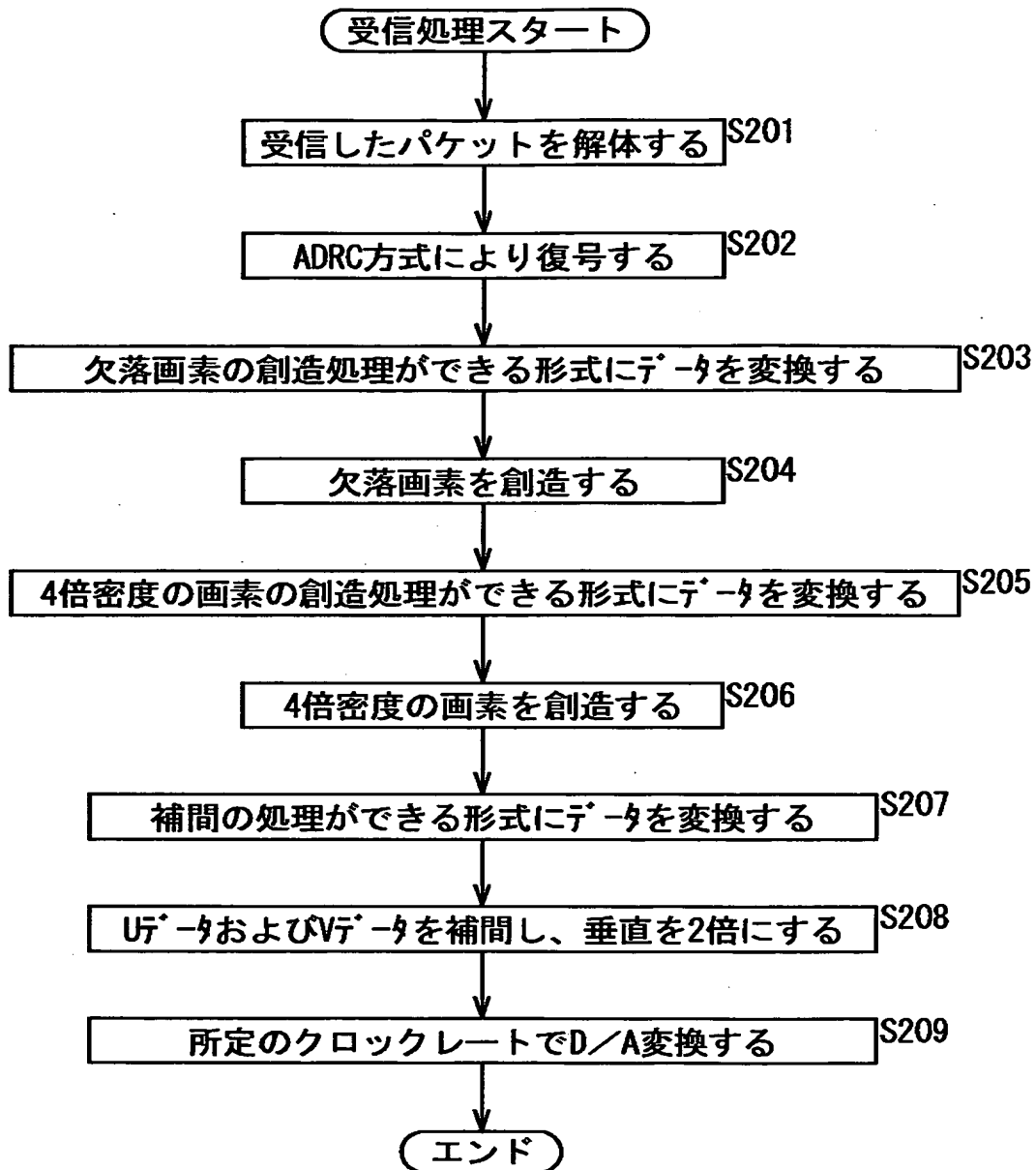


UV垂直2倍回路 333

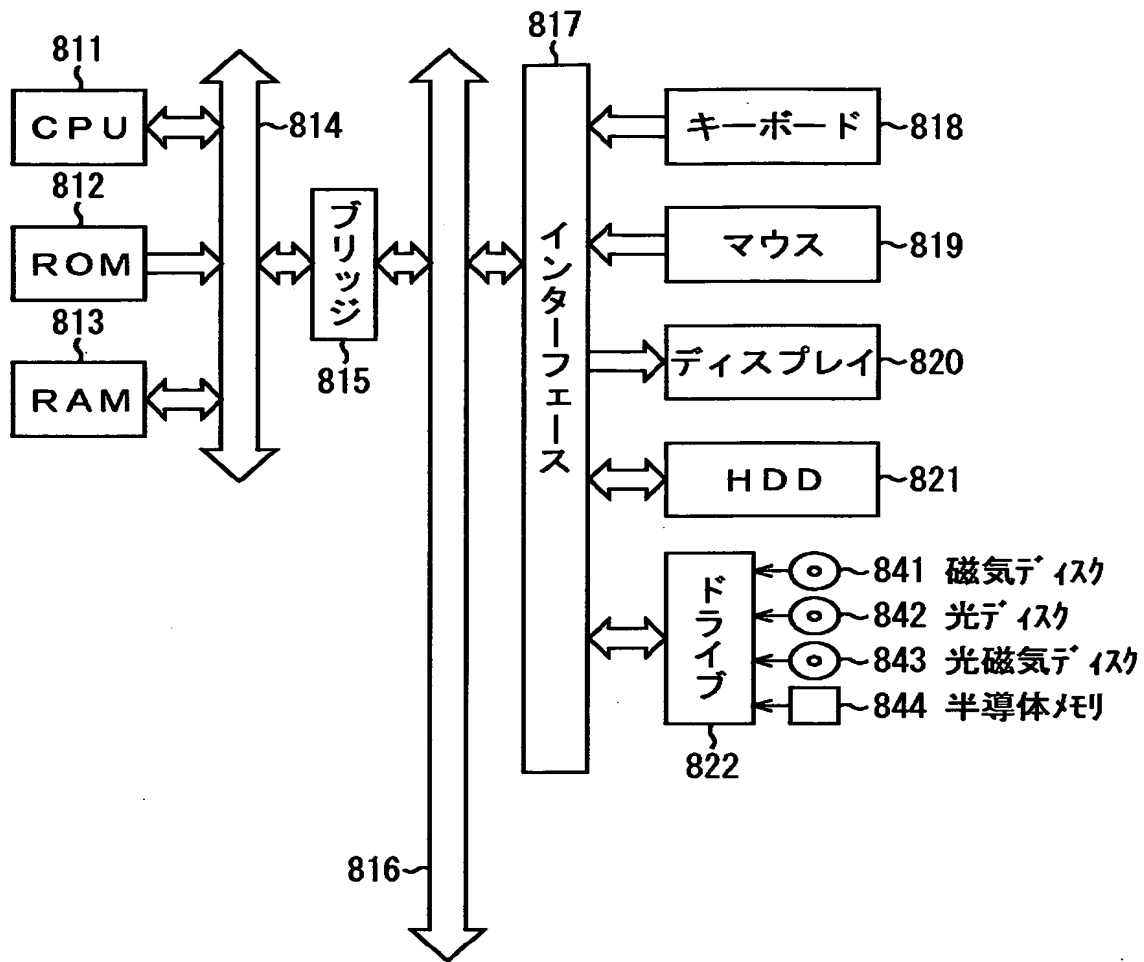
【図 6 7】



【図 6 8】



【図 69】



【書類名】 要約書

【要約】

【課題】 欠落したデータなどを創造し、再生されたデータの違和感を無くする

【解決手段】 クラス合成回路 5 0 7 は、欠落したデータを含む第 1 のデータに関係する第 2 のデータを基に、クラスコードを生成する。可変タップ選択回路 5 0 8 は、クラスコードを基に、第 1 のデータへの変換で使用する所定の数の第 3 のデータを指定する。係数保持クラスコード選択回路 5 0 9 は、第 1 のデータへの変換で使用する変換情報をクラス毎に記憶する。推定予測演算回路 5 1 0 は、クラスコードによって指定された係数保持クラスコード選択回路 5 0 9 が記憶している変換情報を基に、可変タップ選択回路 5 0 8 で指定された所定の数の第 3 のデータを、欠落したデータを含む第 1 のデータに変換する。

【選択図】 図 5 0

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社